

研究报告

基于双 CPU 结构的数据监控系统设计

贾贵玺, 齐乐

(天津大学电气与自动化工程学院, 天津 300072)

[摘要] 针对通信系统中, 对所有客户线路的电压、电流、温度等数据进行实时多路采集监控, 提出了一种基于双 CPU 结构的数据监控系统的设计方法以及硬件组成。讨论了系统主要芯片之间的连线方法以及软件流程。该系统已经成功应用在邮电系统 48V 通信线路监控。实践证明, 双 CPU 设计方案不仅满足了系统高运算量、高实时性、抗干扰性要求, 而且优化了软硬件设计。

[关键词] 数据监控; 双 CPU; 双口 RAM

[中图分类号] TP18 **[文献标识码]** A **[文章编号]** 1009-1742(2006)04-0068-04

1 引言

在当今的工业生产活动中, 任何系统都离不开数据采集监控。对于关键数据量的监控报警已成为限制故障扩大、保证系统正常工作的重要措施。人机交互设备可以在第一时间为用户提供各种数据信息和故障消息。要害部门对电源供给的稳定性要求很高, 所以数据监控系统必须有很好的实时性和稳定性。当前此类系统多由上位机(PC或工控机)、下位机(单片机、DSP等)、模拟数据采集设备、数模转换器件、各类存储器构成, 应用广泛^[1]。笔者所描述的 DKD01-40 系统是一套应用于邮电系统 48V 通信线路的数据采集监控系统。该系统涉及到对多路通信线路的电压、电流和温度的数据采集、比较报警、故障检测、信息存储、人机界面以及上下位机的通信, 任务繁重且分工明确, 故采取了双 CPU 结构, 并结合了双口 RAM 和非易失 RAM。

2 硬件电路

系统结构图如图 1 所示。它由 2 片 CPU 外加双口 RAM 和非易失 RAM 构成了处理核心。系统包括

关键器件 AT89C55WD, CY7C007A 以及 DS1644, 其他电路以及外围芯片从略。

在实际电路中, 采集数据的通道数可以扩展, 图 1 中的高速光隔和 ADC0816 可连接若干套。

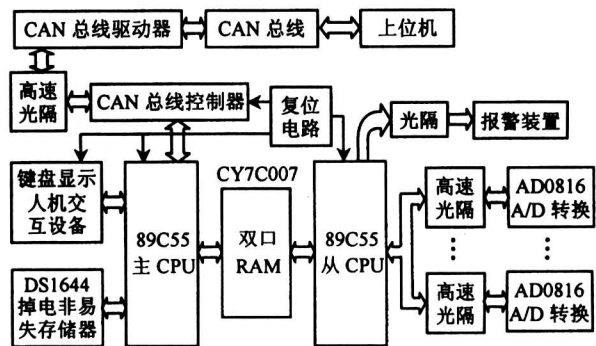


图 1 系统结构图

Fig.1 Structure of system

2.1 AT89C55WD

该芯片硬件核心采用了 Intel 80C51 单片机硬件技术, 两者的引脚排列与标准单元部件相同, 指令系统完全兼容。它是一种低功耗、高性能的 8 b 高档单片机。该芯片具有以下结构: 20 kB 的 Flash 存储器, 256 B 的 RAM, 可在线编程的 32 线 I/O 口,

3 个 16 b 可编程定时/计数器, 1 个可编程串行通信口 UART, 8 个中断源、6 个中断矢量、2 个中断优先权的中断结构, 双数据指针 DPTR0 和 DPTR1, 硬件看门狗定时器。本芯片最高工作频率可达 33 MHz^[2]。

AT89C55WD 资源丰富, 很适合作为本系统的 CPU 来处理各种复杂的任务。采用双 CPU 结构, 则可降低单个单片机工作负担, 提高整个系统的工作效率, 增强系统的抗干扰能力和稳定性。

2.2 CY7C007A

CY7C007A 是一种低功耗 CMOS 型 32 k × 8 b 的双口静态 RAM, 具有 2 组完全对称的地址线、数据线和控制线, 允许 2 个 CPU 同时对存储器进行访问。双口 RAM 内含有的仲裁逻辑 (忙逻辑), 可以解决 2 个 CPU 同时读写同一个地址的问题; 中断逻辑允许 CPU 通过端口直接进行通信; 旗语通信逻辑允许 2 个控制器共享资源; 采用主从模式可以方便地扩展芯片数据宽度; 访问速度快, 最大时间 12/15/20 ns, 各端口完全异步操作。

每个端口都有独立的控制引脚: 芯片使能 (\overline{CE})、读写使能 (R/\overline{W}) 和输出使能 (\overline{OE})。有 2 个标志: 忙标志 (\overline{BUSY}), 中断标志 (\overline{INT})。BUSY 信号表示即将要访问的存储单元正在被其他端口访问。通过中断标志 INT 信号, 可以使不同的端口、系统之间通过“邮箱”的方式进行通信, 方式简单, 变换灵活, 通过旗语信号可以在端口间传递标志或令牌。旗语逻辑由 8 个独立于 32 k 存储空间的 8 个共享寄存器构成, 任何时候只有一边端口可以控制这些共享寄存器^[3]。

基于上述特点, CY7C007A 很适合作为多处理器数据监控系统中的数据存储和高速通信设备。在系统中, 双口 RAM 作为主从 CPU 的共享存储介质, 较好地满足了系统的各项要求, 提高了主从 CPU 间交换大量数据的快速性和稳定性, 从而为实现实时监控奠定基础。在硬件设计方面扩展灵活, 减轻了主 CPU 的负担。

2.3 DS1644

DS1644 具有 32 k × 8 b 的非易失静态 RAM (NV SRAM) 和一个全功能实时时钟 RTC, 如图 2 所示。该芯片提供了非易失的读写操作, 以及对实时时钟的附加操作。RTC 信息存储在 8 个最高的 RAM 单元内, RTC 寄存器以 24 h BCD 格式保存年、月、日、时、分、秒数据, 大小月的天数以及闰年

的调整是自动进行的。RTC 寄存器采用双缓冲结构, 以防止在时钟刷新过程中出现错误数据以及倒数计时过程中由于访问时间寄存器数据造成的时间丢失。

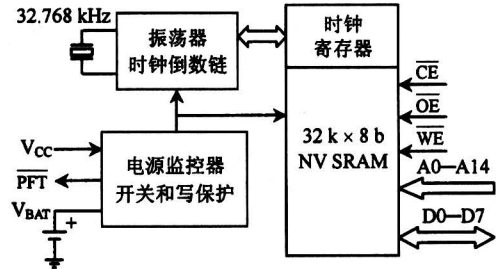


图 2 DS1644 的内部结构

Fig.2 Interior structure of DS1644

DS1644 具有自身电源失效电路, 当 V_{CC} 低于正常变化范围时会自动禁止选择, 以防不可预知的系统操作造成的数据丢失。 V_{CC} 在允许范围内 ($V_{CC} > 4.5 V$), DS1644 能在读/写周期存取数据, 当小于电源失效点 ($V_{PF} = 4.25 V$), 内部时钟寄存器和 NV SRAM 内数据无法存取。DS1644 内部有锂电池, 在无 V_{CC} 时 (即断电时), 仍可维持时钟动作, 保持其正常运行和 NV SRAM 内数据, 其 SRAM 内数据可以保持 10 年以上不丢失, 可靠性较高^[4]。

系统中许多关键参数均在首次通电时由上位机通过主 CPU 传送到 DS1644 中, 它是数据保护和恢复的重要设备。

3 系统硬件接线

3.1 主芯片接线

图 3 只列出了 CPU、双口 RAM、非易失 RAM 等关键元件, 其他芯片及设备从略。

双口 RAM、非易失 RAM、总线控制器、键盘、显示设备以及辅助芯片等设备与主 CPU 相连。通过各个芯片的片选, 可方便地解决主 CPU 数据总线仲裁问题。

双口 RAM、报警装置、若干片 ADC0816 与从 CPU 相连。由于 ADC0816 没有片选, 而且个数根据采集路数而变化, 故从 CPU 数据总线仲裁电路比较复杂。从 CPU 的 P1.3 与双口 RAM 右片选 \overline{CER} 相连, 且经反相后参与 ADC0816 的启动及读数, 这样就从硬件上保证了双口 RAM 和 ADC0816 不会发生总线冲突, 如图 3 所示。

主从 CPU 之间的通信以及与双口 RAM 相关的

数据总线仲裁完全由 CY7C007A 自身提供的总线仲裁方式解决。由于该系统只用 1 片双口 RAM，且

系统不涉及对旗语寄存器的使用，故 SEM 与 M/S 均接高电平。

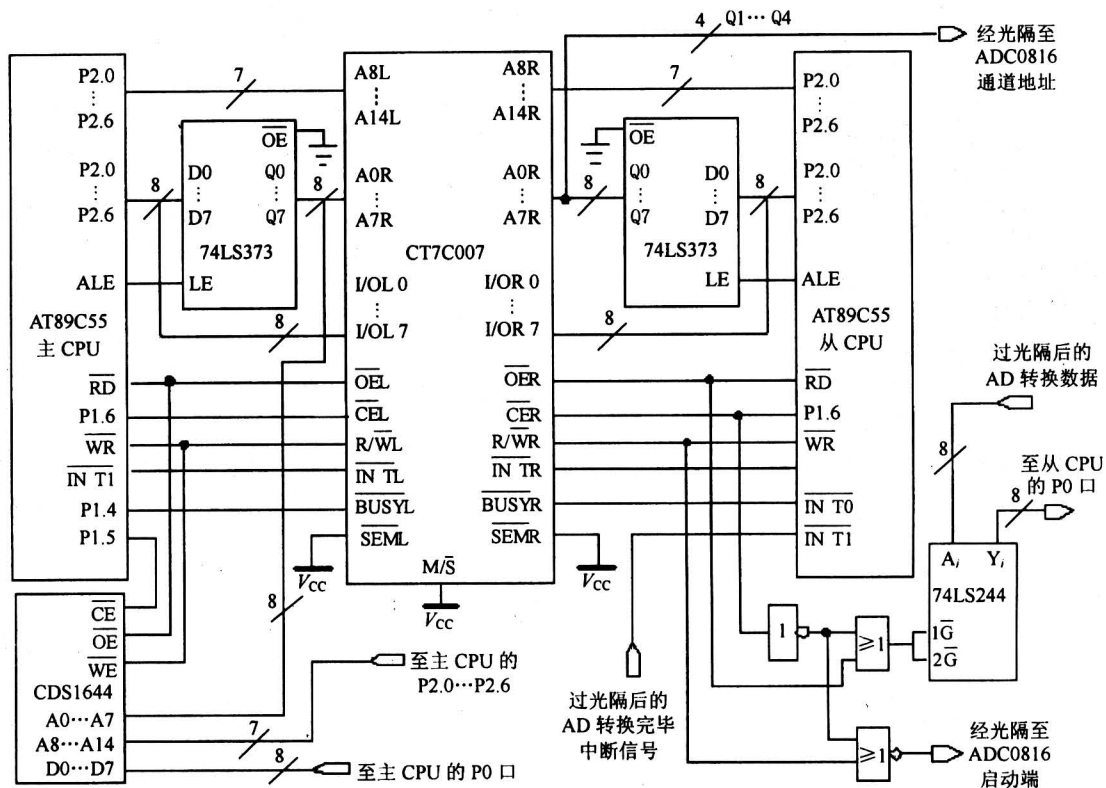


图 3 主要芯片接线

Fig.3 Connection of main chips

3.2 系统抗干扰设计

由图 1 可见，该系统中多处使用了光电隔离器件，它以光为媒介传输信号，使输入、输出在电气上完全隔离，一般内含发光器（发光二极管）和受光器（光敏三极管）。输入阻抗低（100 ~ 1 000 Ω），绝缘电阻极大（10¹¹ ~ 10¹³ Ω），输入、输出间电容很小（0.5 ~ 2 pF）。干扰源内阻很大，不足以使发光器发光，因而使夹杂在有效信号之中的干扰信号被挡在输入回路。光电隔离器具有很强的抗干扰性能、强电与弱电的隔离功能，并具有一定的驱动能力（光敏三极管的 I₀ 在 50 mA 左右）^[5]。

系统中使用高速光隔 6N137，其数据传输率为 10 MB/s，完全满足系统数据采集要求，而且传送单片机的窄信号脉冲（如读写脉冲，500 ns）延迟与形变很小，完全满足外围设备对于控制信号波形的要求，其内部结构如图 4 所示。

4 软件设计

编程采用汇编语言，程序流程如图 5 所示。编

程时应注意双口 RAM 和 DS1644 中的各种逻辑区域不发生重叠，充分利用 CPU 中断资源。流程图中的配置表包含了各种变量的报警值、预警值、实际电路中每条支路的分流器类型等重要信息，故采取了数据冗余的方法，在 DS1644 中有 3 个备份。配置表可由上位机下载，也可通过键盘手动设置。

此外，在软件设计中充分利用软件陷阱和看门狗，以增强系统软件的抗干扰性能。

5 结语

DKD01 - 40 数据监控系统的硬件、软件设计，

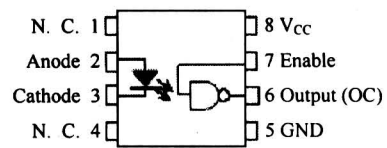


图 4 6N137 管脚图

Fig.4 Pin configurations of 6N137

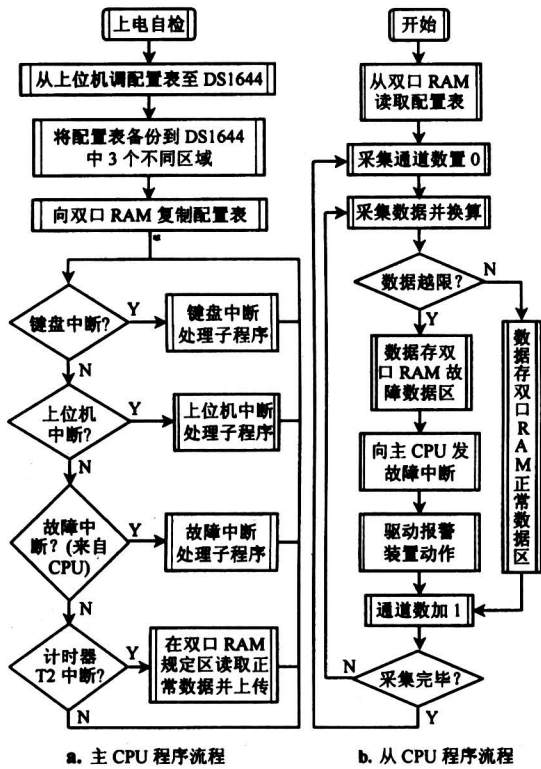


图 5 程序流程图

Fig.5 Program flow chart

采用了双 CPU 的结构，可以有效地对数据进行采集、监控、存储、上传和显示。与单 CPU 数据监控相比，系统更稳定，功能更完善，具有更强的实时性和较高的精度。而且通过辅助芯片，可以进一步增加采集通道数。该系统已用于邮电系统通信线路监控，效果良好，并取得了一定的经济效益。

参考文献

[1] 何小阳. 计算机监控原理及技术[M]. 重庆: 重庆大学出版社, 2005. 200 ~ 245

[2] 王幸之, 钟爱琴. AT89 系列单片机原理与接口技术[M]. 北京: 北京航空航天大学出版社, 2004. 232 ~ 244

[3] Leonhard W. Cypress Products Datasheet on CY7C007A [M]. Cypress Semiconductor Corporation, 2001. 4 ~ 16

[4] 窦振中. 单片机外围器件实用手册(存储器分册) [M]. 北京: 北京航空航天大学出版社, 1998. 312 ~ 402

[5] 王幸之, 王雷. 单片机应用系统抗干扰技术[M]. 北京: 北京航空航天大学出版社, 2000. 70 ~ 80

Design of Data Supervision System Based on Dual CPU Structure

Jia Guixi, Qi Le

(School of Electrical and Automation Engineering, Tianjin University, Tianjin 300072, China)

[Abstract] To deal with the real-time and multi-channel data acquisition and supervision of the voltage, current and temperature on the clients' lines in communication system, the design method of the system based on dual CPU structure is described in this paper as well as the hardware composition. The connection of main chips and the software flow are discussed as well. This system has been applied to the supervision of 48 V communication lines in mail system. It shows that the dual CPU plan not only meets the system requirement of massive computation and high real-time and anti-jamming performance but also optimizes both software and hardware design.

[Key words] data supervision; dual CPU; dual port RAM