

学术论文

8 位 MCU IP 核设计

李秀娟^{1,2}, 王祖强², 刘宪伟¹

(1. 曲阜师范大学物理工程学院, 山东曲阜 273165;
2. 山东大学信息科学与工程学院, 济南 250100)

[摘要] 采用自顶向下的设计方法, 设计了 8 位 MCU IP 核。该 8 位 MCU IP 核可简化为两大部分, 通过精心设计, 时序整齐, 译码电路单元结构简单, 层次化数据通道模型结构规整。整个设计过程降低了功耗, 缩短了设计周期。

[关键词] MCU; IP; 数据通道

[中图分类号] TP332 **[文献标识码]** A **[文章编号]** 1009-1742(2006)12-0089-03

1 引言

微控制器 (MCU, micro control unit) 是嵌入式系统的核心, 广泛应用于各个领域。8 位 MCU IP 核具有很高的通用性和灵活性, 可以嵌入到不同的集成电路中, 大大简化设计难度, 缩短设计周期, 降低设计成本。笔者设计的 8 位 MCU IP 核采用哈佛结构, 内部单元可简化为时序控制和数据通道两部分, 与 Microchip 公司 PIC16C57 完全兼容^[1]。控制部分产生 MCU 的工作时钟, 为数据通道提供控制信号, 是 IP 核的指挥中心; 数据通道部分通过控制信号具体实现 MCU IP 核的指令功能, 是影响 MCU 性能, 如面积、运行速度、功耗等因素的关键。

2 控制部分设计

2.1 时序设计

笔者设计的 MCU IP 核系统时钟 clk 采用 20 MHz, 由时钟分频模块产生四相不重叠工作时钟, 分别为 clk1, clk2, clk3, clk4, 如图 1 所示。每条指令的执行过程都可以看作是固定微操作的依次组合, 笔者在设计过程中把这些基本的微操作依次分配到以工作时钟划分的时间轴中去, 形成 MCU 的

整体时序, 如图 2 所示。

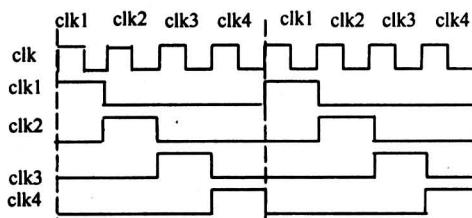


图 1 四相不重叠工作时钟
Fig.1 4-Phase non-overlapping clocks



图 2 整体时序设计
Fig.2 Design of total timing

2.2 译码控制单元设计

指令译码单元从指令寄存器 (IR) 中读取指令, 完成对当前执行指令的辨认, 通过分析产生一系列的控制信号。该部分主要包括寄存器模块设计和译码模块设计。

指令寄存器 (IR) 采用两级结构、两个 12 位的寄存器进行设计, 以满足系统两级流水线结构的要求, 其结构如图 3 所示。其中 romdata [11:0] 数据取自程序存储器, 经两级寄存后, 输出指令数据 inst [11:0] 到译码模块。

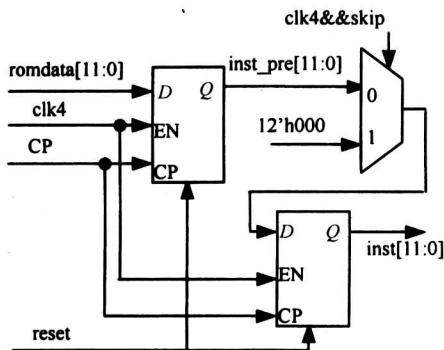


图 3 指令寄存器结构

Fig.3 Structure of IR

指令译码模块在实现上通常有两种方式: 随机逻辑译码和结构化译码。笔者设计的该款 MCU, 由于采用 RISC 指令集, 共 33 条指令, 指令少且规则, 故采用随机逻辑译码, 又称为硬布线译码^[2]。该译码电路由纯组合逻辑组成, 运算速度快, 面积小, 并对当前指令集专门优化。定义译码输出信号 decodes [13:0], 分别由数据通道源操作数选择信号、ALU 运算单元选择信号、寄存器写使能信号、位操作标志信号位连接而成。对于特殊的指令 OPTION, WDT, SLEEP 进行了特殊处理, 由简单的门电路直接进行译码, 如图 4 所示, 其中 option_we, clk_sleep, wdt_clr 分别为三条特殊指令的译码输出信号。

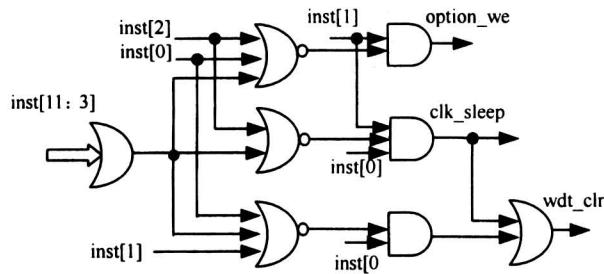


图 4 特殊指令的译码

Fig.4 Decoder of special instruction

3 数据通道部分设计

3.1 数据通道结构

该款 MCU IP 核的数据通道部分主要包括数据

寄存器、专用寄存器、ALU 运算单元等几个数据通道单元。笔者在设计过程中, 使用特定的数据通道模型, 通过一条双向数据总线, 对各数据通道单元进行读写设计。其结构如图 5 所示。此模型可以是多层的, 每个通道组元还可再分为多个子通道组元。模型中双向数据总线充当每个单元源总线及目的总线双重功能, 分别由特定的三态门和多路选择器两种电路结构实现读写操作。

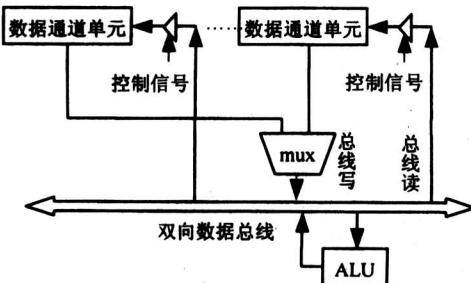


图 5 数据通道结构

Fig.5 Structure of data path

3.2 设计实现

以特殊的数据通道单元 ALU 为例介绍数据通道部分的设计。ALU 是 MCU 的运算单元, 包括加、减、与、或、异或、非、左移、右移、半字节交换 9 种运算。笔者设计的 ALU 采用低功耗设计。通过复用加、减运算单元, 将 ALU 模块分为 8 个运算单元, 构成 8 个子数据通道。在每条指令的执行周期, 由控制信号 aluop [3:0] 负责子通道选择, 8 个子数据通道始终只有一条处于选通工作状态, 大大降低芯片的动态功耗^[3]。表 1 为笔者对两种 ALU 的设计方案, 选用中芯国际 0.35 μm 综合库, 全局工作电压 3 V, 使用 Synopsys 公司 DC 综合并进行功耗分析的对比结果。

表 1 ALU 不同设计方案功耗分析对比

Table 1 Power contrast for different ALU designs

设计方案	cell 内部功耗 / μW (%)	net 开关功耗 / μW (%)	动态功耗 / μW
低功耗	48.877 2 (52)	41.913 2 (48)	87.790 5
一般	232.344 5 (73)	87.593 5 (27)	319.938 0

4 结论

所设计的 MCU IP 核工作时序清晰, 体现了自顶向下 (top-down) 的设计方法。控制译码单元采用硬布线译码, 特殊指令特殊处理, 简化了设计;

数据通道部分使用特定层次化数据通道模型设计, 结构规整, 设计规范。在设计过程中, 笔者使用 Synopsys 公司 VCS 和 DC 对该款 MCU IP 核分别进行仿真和综合, 并进行了功耗分析。综合分析结果得出, 该款 MCU IP 核总体功耗约在 49.598 0 mW, 实现了低功耗设计, 适用于集成到大规模系统中。

参考文献

- [1] pic16c5x.pdf[EB/OL]. Microchip Technology Inc, 1998
- [2] 钟旭恒, 高明伦. 基于数据通道指令流程图的硬布线控制电路设计[J]. 微电子学与计算机, 2001, (5): 8~11
- [3] 罗文, 杨波. 寄存器传输级低功耗设计方法[J]. 小型微型机算机系统, 2004, (7): 1207~1211

Design of 8-bit MCU IP Core

Li Xiujuan^{1,2}, Wang Zuqiang², Liu Xianwei¹

(1. College of Physics and Engineering, Qufu Normal University, Qufu, Shandong 273165, China;

2. School of Information Science & Engineering, Shandong University, Jinan 250100, China)

[Abstract] According to the top-down design method, a MCU IP core has been designed. The core can be divided into two parts. The control part is predigested while the data path module's structure is regular. In a word, the design method in this paper reduces the power and the time to market.

[Key words] MCU; IP; data path

《中国工程科学》2007 年第 9 卷第 1 期要目预告

探索生态水利工程学	董哲仁	高超声速飞行器综合热管理系统
试析战略创新的复杂性	苗东升	方案探讨
论工程在人类发展中的作用	沈珠江	王佩广等 基于主客观紧急度判断的车辆行
雅砻江普斯罗坝址深部裂缝带成因的 探讨	李坪等	驶模糊控制
元胞自动机:一种探索管理系统复杂 性的有效工具	陈国宏等	陈雪梅等 分层空时码多载波 CDMA 的译码与
开采地面沉陷预测的自适应神经模糊 推理方法研究	丁德馨等	检测
电流型有源电力滤波器的神经网络滞 环控制	王萍等	杨洁等 含钒钢渣中钒再资源化的基础研究
一种改进的 Weibull 分布杂波仿真 方法	姜斌等	董元篪等 军用飞机可发展性研究
基于 BP 神经网络的工程图形数据 远程安全快速传输法	秦威等	张恒喜等 生物法净化几种气态污染物的研究
		孙珮石等 基于主元分析和 RBF 神经网络的火灾
		模拟实验炉温软测量
		赵望达等 我国火灾统计数据的聚类分析
		陈子锦等 光纤 Bragg 光栅用于动态应变测试的
		朱萍玉等 研究进展