

协议分析仪 2 Mb/s 高速信令处理模块

刘志辉

(信息产业部电信科学技术研究院, 北京 100083)

[摘要] 为了满足 2 Mb/s 高速信令的测试要求, 开发了 2 Mb/s 高速信令协议分析仪信令处理模块。信令处理模块分为硬件系统和软件系统两部分。介绍了开发 2 Mb/s 高速信令协议分析仪的意义, 使用 2 Mb/s 高速信令链路的优势, 信令处理模块的设计原理和功能。介绍嵌入式处理器和实时操作系统的相关内容。

[关键词] 协议分析仪; 2 Mb/s 高速信令; 嵌入式处理器; 实时操作系统

[中图分类号] TN98 **[文献标识码]** A **[文章编号]** 1009-1742(2002)02-0079-07

1 前言

随着国内电信技术的蓬勃发展, 尤其是移动通信业务和智能网业务的飞速增长, 作为国内电信网络中枢神经的 No.7 信令网络的流量激增, 部分信令流量较高的地区, 两信令点之间 16 条 64 kb/s 的 No.7 信令链路已全部开满。而两个信令点之间的信令链路数由于受 4 b 信令链路选择码/信令链路编码的限制最多不能超过 16 条, 无法再通过新扩链路来提高其间的信令负荷能力。因而, 采用 2 Mb/s 高速 No.7 信令链路替代传统的 64 kb/s No.7 信令链路, 来解决两信令点之间的负荷瓶颈问题, 已成为必然趋势^[1]。

2 Mb/s 信令链路占用整个 E1 接口 (0 时隙除外) 作为一个信令数据链路, 将信令链路的速率从 64 kb/s 提高到接近 2 Mb/s, 链路带宽的增加、容量的扩大解决了日趋快速增长的电信业务、智能网、移动和数据业务等给 No.7 信令网带来的负担, 满足了我国 No.7 信令网进一步发展的要求。

目前国内协议类仪表, 基本上都是协议监测分析仪表, 大多数针对 PCM 帧结构中某一个或某几个时隙中的信令内容进行协议分析。而 2 Mb/s 高

速信令链路占用整个 2 Mb/s 链路来传送信息。因此, 目前的协议分析仪无法满足电信部门的测试要求。把 2 Mb/s 链路上的全部信息提取出来进行处理, 是分析类仪表的发展趋势。研发 2 Mb/s 高速信令多协议分析仪, 即为满足 2 Mb/s 高速信令测试的要求。为此, 采用 MPC860 高档微处理器和最新的通信芯片, 以良好的系统稳定性来保证协议分析仪性能, 为设备厂家设计生产设备服务, 为电信运营部门日常设备维护服务, 为我国通信信息业的进一步发展提供测试条件。

2 64 kb/s 速率与 2 Mb/s 高速信令

2.1 No.7 信令系统特点及应用

No.7 信令是采用与话路分离的公共信令方式, 透明地传送各种用户 (交换局) 所需的业务信令和其他形式的信息, 满足特种业务网和多种业务网的需要。No.7 信令系统的基本特点: a. 最适合于由存储程序控制的交换局组成的数字通信网; b. 满足目前和未来通信网交换各种信令消息和其他信息的要求 (如电话和 ISDN 呼叫控制、管理维护信令); c. 保证正确的信令传递顺序, 无丢失和顺序颠倒; d. 可用于国际网和国内网。

[收稿日期] 2001-10-11; 修回日期 2001-11-15

[作者简介] 刘志辉 (1974-), 男, 黑龙江齐齐哈尔市人, 硕士, 信息产业部通信计量中心助理工程师

No.7 信令正被广泛地应用于以下方面：**a.** 电话网的局间信令；**b.** 电路交换数据网的局间信令；**c.** ISDN 的局间信令；**d.** 各种运行、管理和维护中心的信息传递业务；**e.** 交换局和业务控制点之间传递各种数据信息；**f.** PABX 的应用。

2.2 No.7 信令系统结构

No.7 信令系统的总体目标是提供国际标准化的通用信令系统。通用性要求决定它应采用易于扩展的系统结构。No.7 信令系统采用了功能级结构，分为消息传递部分 (MTP) 和用户部分 (UP) (见图 1)。消息传递部分又分为信令数据链路功能级 (第一级)、信令链路功能级 (第二级) 和信令网功能级 (第三级)。消息传递部分的主要功能，是作为一个消息传递系统为正在通信的用户功能之间提供信令消息的可靠传递。用户部分是指使用消息传递部分传送能力的功能实体，每个用户部分都包括其特有的用户功能或与其相关的功能。用户部分主要包括电话用户部分 (TUP)、数据用户部分 (DUP) 和 ISDN 用户部分 (ISUP)。

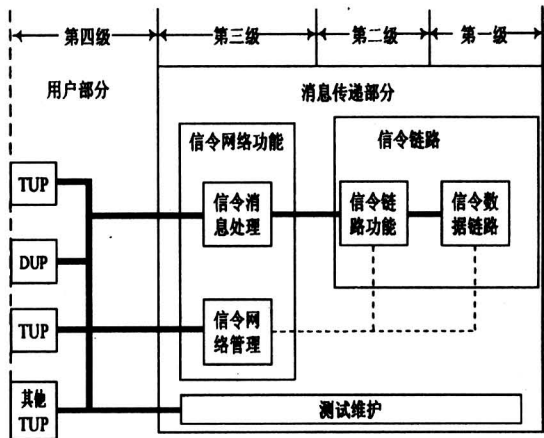


图 1 分级的功能结构

Fig.1 Structure of No.7 signaling system

2.3 64 kb/s 信令链路基本的消息格式

CCITT No.7 信令方式采用不等长的单个信令单元传送各种信息消息。每个信令单元包含由 MTP 处理的必备部分 (7 个 8 b 位组)，它主要由 MTP 处理控制消息的传递 (见图 2)。No.7 信令系统有 3 种信令单元：消息信令单元 (MSU)、链路状态信令单元 (LSSU) 和填充单元 (FISU)。

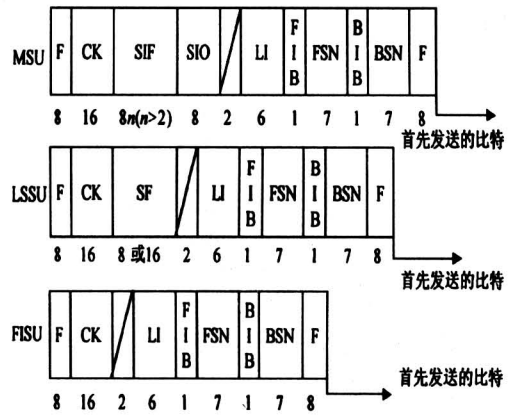


图 2 3 种 64 kb/s 信令单元的格式

Fig.2 Three kinds of the format of 64 kb/s signaling unit

2.4 2 Mb/s 高速信令链路的产生

No.7 信令网作为现代通信网络的神经枢纽，在通信网中发挥着支撑网的作用。我国的 No.7 信令网过去主要承担 TUP 信令业务。近年来，移动和智能网业务在我国高速增长，这类业务普遍需要大量的数据传送，都以 No.7 信令网作为支撑网络，造成 No.7 信令网负荷猛增。同时，各类新兴业务，如 IP, ATM 等，都在蓬勃发展，近期都有与 No.7 信令网互通的要求。随着这类业务的快速增长，No.7 信令网的负荷量将越来越大。这些都对 No.7 信令网的负荷能力提出了更高的要求，以适应不断增长的业务量和日趋激烈的市场竞争。

No.7 信令网由于其本身的限制未能充分利用传输资源。这个限制主要来自两个方面：

1) 信令速率 一条 No.7 链路的信令数据链路取自具有 32 个时隙的 E1 接口 (0 时隙除外) 的任一 时隙，信令速率为 64 kb/s。

2) 信令链路数 4 b 的 SLC/SLS 决定了两信令点之间最多只能有 16 条 No.7 信令链路。

要从根本上提高 No.7 信令网的负荷能力，应当从它本身的两个限制入手。要消除第二个限制，即 16 条信令链路的限制，则需要扩展 SLC/SLS 的位数，而这几位是在 L3 或 L4 以上层中产生的，如若修改，势必引起 L3 和 L4 中大量模块的改动，开发成本高昂。如果能够消除第一个限制，即大幅提高信令速率，这种变化将局限于 L1 和 L2 层，对于 L3 及以上各层几乎没有任何影响，引入 2 Mb/s 高速 No.7 信令链路带来的所有修正均限制

在 MTP 低层，链路性能的提高对于各级用户层完全透明，无需任何用户程序或数据上的改动，对现有交换机的升级十分方便，交换机改造成本低廉，而且风险较小。ITU-T 规范中也为这种方法保留了相关建议。

ITU-T 在 Q.703 的附录 A 中提供了一种占用整个 E1 接口作为一个信令数据链路的方法。物理链路的电气性能与普通 E1 接口相同，并且保持原 PCM 帧结构中告警和同步信道的功能，对传输网络无特殊要求，可以直接利用现有的传输资源。这意味着可以将 No.7 信令链路的基本速率从 64 kb/s 提高到接近 2 Mb/s。

2.5 2 Mb/s 高速信令链路结构

新的 No.7 信令链路协议对原 64 kb/s 链路协议的修正仅限于以下 3 点：

1) 信令数据链路 a. 保留原 CH0 的同步和校准功能；b. 原 CH1~CH31 合并为一个 31×64 kb/s 的 No.7 信令数据链路时隙 (见图 3)。

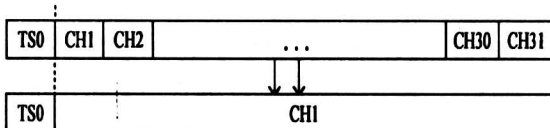


图 3 2 Mb/s 信令数据链路

Fig.3 2 Mb/s signaling data link

2) 信令单元格式 a. FSN/BSN 从 7 b 扩展到 12 b；b. LI 从 6 b 扩展到 9 b；c. 某些在 SIF 中包含 FSN/BSN 的 MTP 信令单元 (如 C00)，其 SIF 部分的格式相应改变 (见图 4)。

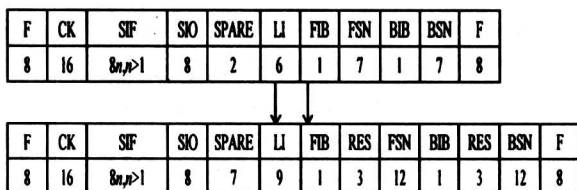


图 4 2 Mb/s 信令单元格式

Fig.4 Format of 2 Mb/s signaling unit

3) 误码检测，采用 Errored Interval Monitor 方法： a. 如果某一时间段内收到一个或几个错误的信令单元，或者失去标志，则这时间段标记为错误的时间段 (EI)；b. 如果这时间段是 EI，则以

固定的速度 U_e 增加计数器；c. 如果这时间段不是 EI，则以固定的速度 D_e 减少计数器，直至 0；d. 如果计数器超过门限值 T_e ，则认为误码率过高。

2.6 2 Mb/s 高速信令链路基本的消息格式

高速链路信令单元格式在顺序数字和长度指示域中有变化：

1) 标志 F 开始标志指示一个信号单元的开始。通常也是前面信令单元的结束标志。结束标志显示一个信号单元的结束。标志的位元模式是 01111110 (7E)。

2) 顺序数字 向前顺序数字是它承载的信令单元的顺序数字。向后顺序数字是被证实的一个信令单元的顺序数字。向前顺序数字和向后的顺序数字是从 0~4095 的周期顺序的二进制代码数字。

3) 长度指示 LI 被用来显示长度指示 8 b (LI) 后面 8 b 的个数，并且进行位检查。长度指示是 9 b 在 0~272 范围的二进制代码。如上面指定，LI 在发送结束时被强制设置为正确的值。

4) 8 b 服务信息 SIO 被划分成服务指示和子服务域。服务指示被用来与特别用户部分联系的信令信息，并且仅仅在消息信令单元存在。

2.7 高速信令链路的优势

2 Mb/s 高速信令链路的优势是明显的，集中体现在两个方面：

1) 单条链路的负荷能力大大提高 由于信令速率即带宽提高为 31×64 kb/s，理论上 1 条 2 Mb/s 链路可以相当于 31 条普通的 64 kb/s 链路的负荷。考虑到网上存在的限制，实际运行的 2 Mb/s 链路将难以达到这一性能，但仍将成倍地提高单条链路的负荷能力。

2) 链路性能的提高对于各级用户层完全透明 无需任何程序或数据上的改动，所有的修正均限制在 MTP 低层，对现有交换机的升级十分方便，而且风险较小。

2 Mb/s 高速信令链路在 No.7 信令网中的应用前景十分广阔。从长远看，所有的 No.7 信令链路需要时均可替换成 2 Mb/s 高速信令链路。最终以 2 Mb/s 高速 No.7 信令链路构建而成的 No.7 信令骨干网，将从根本上解决 No.7 信令网负荷能力的问题。然而 2 Mb/s 高速信令链路毕竟与传统的 No.7 信令链路有很大不同，如果上网运行，也将与 64 kb/s 链路长期共存。

3 信令处理模块设计

3.1 处理器 MPC860 部分结构与功能

Power PC 嵌入式处理器的内核是一种基于 RISC (精简指令集计算) 结构的微处理器, 因此具有代码执行效率高的特点^[2]。另一方面, Power PC 嵌入式处理器并不仅仅是普通意义上的 CPU, 而是一种融合了多种接口和功能的集成微处理器, 并且它本身是一种可扩展的体系结构, 因此可适用于从低成本嵌入式解决方案到高性能的计算设备。MPC860 是基于 Power PC 体系结构的集成通信处理器 (见图 5)。MPC860 包括三个主要模块, 每一模块均使用 32 b 的内部总线。这三个模块包括: Power PC 内核、系统接口单元 (SIU) 和通信处理模块 (CPM)。其中内核遵从 Power PC 结构中用户指令集结构, 系统接口单元集成了几乎所有 32 b 处理器系统通用的特征, 而通信处理模块体现了 MPC860 在通信及网络产品中的优势。

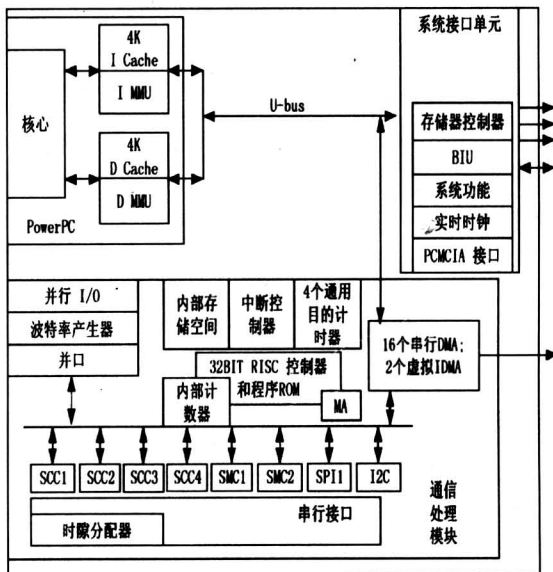


图 5 处理器 MPC860 结构

Fig.5 MPC860 block diagram

3.2 实时操作系统简介

实时操作系统是保证在一定时间限制内完成特定功能的操作系统。它要求在规定的时间内完成某种操作。通常, 实时操作系统必须具有的特征: a. 多任务, b. 有线程优先级, c. 多种中断级别。

嵌入式操作系统经常需要实时操作系统, 内核要满足实时操作系统的要求, 但其他部件, 如设备

驱动程序也是需要的。因此, 一个实时操作系统常比内核大。嵌入式实时操作系统是多任务、多线程的。它带有较好的软件开发工具, 包括编辑器、调试器、编译器等。附带的调试器可用来开发多种 CPU 环境的嵌入式系统软件和应用软件。

NUCLEUS+ 实时多任务操作系统 (ATI 公司产品)^[3] 具有微内核技术, 原代码提供及广泛的 CPU 支持。目前, NUCLEUS+ 实时多任务操作系统大量应用在国内的通讯、医疗、控制及数据处理等领域。NUCLEUS+ 的主要特点有:

1) 提供源代码 NUCLEUS+ 提供注释严格的 C 源级代码给每一个用户。这样, 用户能够深入了解底层内核的运作方式, 并可根据自己的特殊要求删减或改动系统软件, 这对软件的规范化管理及系统软件的测试都有极大的帮助。

2) 性价比高 NUCLEUS+ 由于采用了先进的微内核技术, 因而在优先级安排、任务调度、任务切换等各个方面都有相当大的优势。

3) 易学易用 NUCLEUS+ 能够结合 SDS 以及 ATI 自己的多任务调试器, 组成功能强大的集成开发环境, 配合相应的编译器和动态联结库以及各类底层驱动软件, 用户可以轻松地进行实时操作系统的开发和调试。

4) 功能模块丰富 NUCLEUS+ 除提供功能强大的内核操作系统外, 还提供种类丰富的功能模块。例如用于通讯系统的局域和广域网络模块, 支持图形应用的实时化 Windows 模块, 支持 Internet 的 Web 产品模块、PC 机实时 BIOS 模块、图形化用户接口以及应用软件性能分析模块等。

3.3 信令处理模块硬件总体方案

多协议分析仪是由 PC 机与 2 Mb/s 高速信令处理模块组成的。其中, 2 Mb/s 高速信令处理模块完成底层的数据采集, 经过必要的处理, 通过 PCI 总线传入 PC 机, 由 PC 机进行具体协议的译码、显示、统计、分析等处理。2 Mb/s 高速信令处理模块总体分为 5 个主要部分 (见图 6): E1 线路接口部分; 交换部分; 嵌入式处理器部分; 存储器部分; PCI 桥接部分。

2 Mb/s 高速信令处理模块做成 PCI 总线接口卡形式, 插入 PC 机箱。在工作过程中, E1 线路接口部分从线路上提取到要监测的时隙的数据, 经交换部分交换, 由嵌入式处理器部分的串型通信控制器的 HDLC 处理, 组成数据单元。嵌入式处

理器对数据单元再次处理，加入头标记、时标等。存入存储器部分，经 PCI 桥接部分传入 PC 机，由 PC 机进行高层协议的处理。PC 机根据相应的通信协议，送入命令、参数和数据，经 PCI 桥接部分送入嵌入式处理器部分，嵌入式处理器根据 PC 机的指令完成传输数据和控制的任

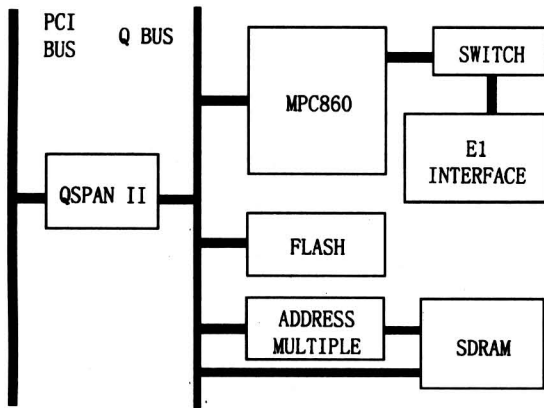


图 6 硬件总体结构

Fig.6 Structure of total hardware module

1) E1 线路接口 E1 线路接口通过无源变压器以高阻形式跨接到线路上，将 2 Mb/s 线路上的信号引到接口卡。这部分电路主要完成 PCM 帧结构的处理，包括码形变换、时钟提取以及帧同步信号产生等。E1 线路接口受嵌入式处理器的控制^[4]。

2) 嵌入式处理器 嵌入式处理器采用 MOTOROLA 公司的 32 b 产品 MPC860，其主要优点：具有通讯处理单元，具有时隙分配器 (TSA)，具有并行接口，4 个串行通讯控制器 (SCC) —— HDLC/SDLC。嵌入式处理器部分功能是要完成对各部分的初始化，包括 E1 线路接口部分的初始化。嵌入式处理器中的 HDLC 要根据协议对数据进行处理，对时隙数据进行提取或插入、查错、去掉或加入帧头。对 E1 线路接口部分传送的数据单元再次处理，包括加入单元起始标志，加入时标，并向 PC 机发送，把 PC 机传送的数据和控制命令传向 E1 线路接口部分，并控制其执行。

3) 交换部分 E1 线路接口部分连接 8 条线路，每条线路可能使用 1~31 个时隙不定，而嵌入式处理器部分的 HDLC 只能同时处理 64 个时隙，因此需要使用交换芯片，把 8 条输入线路上的时隙交换到 2 条输出线路上^[5]。

4) 存储器 存储器部分使用了 FLASH，

SDRAM 两种存储芯片，FLASH 主要作为嵌入式处理器部分的程序源代码的存储^[6]。SDRAM 作为数据暂存变换使用^[7]，作为 E1 线路接口部分和 PC 机数据的传输通道。

5) PCI 桥接 PCI 桥接部分连接 PC 机与嵌入式处理器部分，完成数据和控制命令的交换。PC 机主要对传送的数据进行高层协议的处理，并对监测系统提供命令和参数。PCI 桥接部分允许 PC 机和嵌入式处理器分别读取 SDRAM 的数据，方便了数据的交换^[8]。

3.4 通信处理模块的设计

MPC860 作为通信用嵌入式处理器的优势在于内部结合了通信处理模块，可以处理 E1/T1, ISDN, ETHERNET, ATM 等多种协议标准。在实际设计中，使用通信处理模块作为 E1 协议的处理。

MPC860 的串型接口 (SI) 为每个单独的 SCC 和 SMC 提供了 2 种与外部的连接方式：通过 2 个独立的时分复用 (TDM) 接口，或者通过非复用串行接口 (NMSI) 中专门的管脚。选用 TDM 方式时，时隙分配器 (TSA) 负责将接收到的数据帧中编程指定的部分，从 TDM 管脚路由送到目的 SCC 或 SMC，由目的 SCC 和 SMC 按照实际的协议来处理这些收到的数据。

为了处理 E1/T1 等 PCM 结构码流的信号，MPC860 内部通信处理模块包含了 2 个时隙分配器 (TSA)。其对应的外部管脚组包括了处理 PCM 结构码流需要的帧定位信号、时钟同步信号、接收信号、发送信号。每个时隙分配器对应一个 E1 的 32 个时隙的 PCM 帧结构。1 片 MPC860 芯片可以同时处理 2 个 2 Mb/s 速率的 E1 链路，共 64 个时隙的内容^[9]。

在处理 E1 链路的 $N \cdot 64$ kb/s 具有独立 HDLC 结构的时隙时，需要用到 MPC860 的多通道控制器的功能。多通道控制器的功能是指，在串型接口存储器 (SIRAM) 中根据需要选取了一些特定的时隙，由串型通信控制器 (SCCx) 进行处理。SCCx 给每一个选中的时隙分配一个逻辑通道，在每个逻辑通道中按照 HDLC 结构处理时隙的信号，将时隙中每个 HDLC 结构中的消息自动提取出来，存入外存中预先设置好的存储区队列。这样，一个 SCCx 可以同时处理 32 个独立时隙，而且，这些时隙的 HDLC 控制器的处理是在初始

化后由硬件完成的，节省了软件开销（见图 7）。

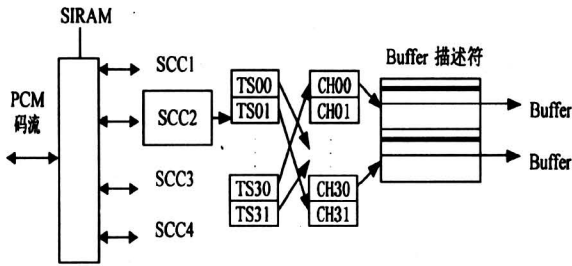


图 7 多通道 HDLC 处理

Fig.7 MPC860 multichannel controller operation

在处理 E1 链路的 2 Mb/s 高速信令具有 HDLC 结构的时隙时，需要用到 MPC860 的单通道控制器的功能。单通道控制器的功能是指，在串型接口存储器（SIRAM）中根据需要选取了第 1 到第 31 时隙，由串型通信控制器（SCC_x）进行处理。SCC_x 给这 31 个时隙分配一个逻辑通道，在这个逻辑通道中按照 HDLC 结构处理信号，将这个 HDLC 结构中的消息自动提取出来，存入外存中的预先设置好的存储区队列。这样，一个 SCC_x 可以处理 2 Mb/s 高速信令的协议（见图 8）。

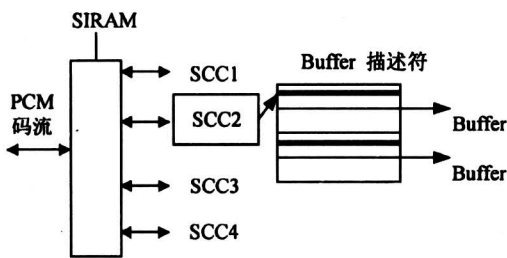


图 8 单通道 HDLC 处理

Fig.8 MPC860 single-channel controller operation

3.5 信令处理模块软件总体方案

信令处理模块的软件部分主要负责嵌入式处理器的正确运行，以及外围芯片的初始化工作。信令处理模块的软件使用了前面介绍的实时操作系统 NUCLEUS+。使用实时操作系统创建一个处理任务，在任务中调用其他软件各模块。各程序的相互关系如图 9 所示。

4 信令处理模块性能分析

4.1 串型通信控制器处理能力分析

串型通信控制器在不同模式下的最大处理能力

是不同的，在 25 MHz 的系统时钟下，SCC 在 HDLC 模式时（最小帧为 64 个字节）最大处理速度是 11 Mb/s FD；SCC 在 QMC 模式时最大处理速度是 2.1 Mb/s FD；在 50 MHz 的系统时钟下，它的处理能力会加倍。

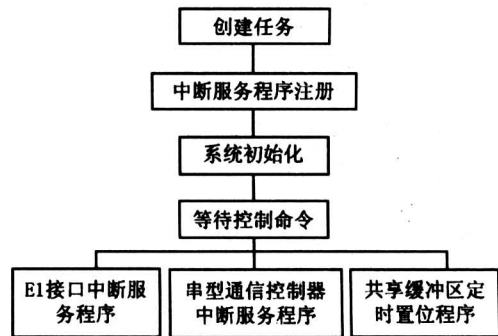


图 9 信令处理模块的软件结构

Fig.9 Structure of total software module

当 $N \cdot 64$ kb/s 信令方式时，串型通信控制器的处理能力为

$$\text{CPM 利用率} = N \cdot 64 \text{ (kb/s)} / 2 \times 2.1 \text{ (Mb/s)}。$$

当 $N = 64$ ，即同时有 64 个 64 kb/s 的信令时隙到达时，

$$\begin{aligned} \text{CPM 利用率} &= 64 \times 64 \text{ (kb/s)} / 2 \times 2.1 \text{ (Mb/s)} \\ &= 0.975 < 1。 \end{aligned}$$

因此，在系统时钟 50 MHz 时，理论上 MPC860 可以在 SCC 的 QMC 模式下同时处理 64 个 64 kb/s 的信令时隙。

当 2 Mb/s 信令方式时，串型通信控制器处理能力为

$$\text{CPM 利用率} = N2 \text{ (Mb/s)} / 2 \times (8 \text{ Mb/s})。$$

$$\text{当 } N = 8, \text{ 即同时有 8 个 2 Mb/s 信令到达时, } \text{CPM 利用率} = 8 \times 2 \text{ (Mb/s)} / 2 \times 8 \text{ (Mb/s)} = 1。$$

因此，在系统时钟 50 MHz 时，理论上 MPC860 可以在 SCC 的 HDLC 模式下同时处理 7 个 2 Mb/s 的信令。

4.2 软件性能分析

在系统时钟 50 MHz 时，MPC860 可以处理 66×10^6 条指令，即每秒 6 600 万条指令。

在 SCC 的 QMC 模式下，一个时隙每秒中接收 $64 \times 1024 = 65536$ 个字节的数据。假设一个字节数据的存储需要 4 条指令，又根据硬件设计结构，一个字节传送到 PC 机需要读写 4 次，那么一个字节传送到 PC 机需要 16 条指令，一个时隙的数据

传送到 PC 机需要 $16 \times 65\,536 = 105$ 万条指令, 在没有附加数据传送的情况下, MPC860 可以处理 $6\,600/105 = 62$ 个时隙。

实际上向 PC 机传送的数据需要附加 12 个字节的信令。而且 MPC860 还要响应中断的开销, 这是主要的系统资源的占用, 几乎与接收链路数据的开销相等。因此, 在系统时钟 50 MHz 时, MPC860 在 SCC 的 QMC 模式下实际处理的时隙的个数应小于等于 32 个。

在 SCC 的 HDLC 模式下, 由于没有多通道的处理过程, CPM 的负担明显减轻。而且, 每 2 Mb/s 时才响应一次中断, MPC860 的开销主要在 2 Mb/s 信令数据的接收上。因此, 在系统时钟 50 MHz 时, MPC860 在 SCC 的 HDLC 模式下可以同时处理 2 个 2 Mb/s 信令的链路。

5 结语

目前, 我国 No.7 信令网中多数采用 64 kb/s 速率的信令链路。随着智能网、移动通信等新业务引入, 使得信令网中的信令链路的业务量负荷不断增加, 难以满足数据库性质的信令业务传输带宽的需求, 使用高速信令链路能较好地解决这一矛盾。高速信令处理模块是 2 Mb/s 高速信令协议分析仪的重要组成部分, 这种高速信令协议分析仪能够将

2 Mb/s 链路上的全部信息提取出来进行处理, 满足 2 Mb/s 高速信令的测试要求, 也可以满足 No.7 信令、IP、ATM 等大量传送信息的要求。不但可进行 No.7 信令、V5.1/V5.2 接口协议、综合业务数字网 (ISDN) 等协议测试, 还将适应数字移动通信等各种协议规程的发展需要。

参考文献

- [1] ITU-T. Specification of 2.0 Mb/s high speed signalling link [S], 2000
- [2] Motorola. Power QUICC MPC860 user's manual [M]. Motorola USA, 1998
- [3] Accelerated Technology Inc. Nucleus PLUS reference manual [M]. Accelerated Technology Inc USA, 1999
- [4] PMC. Comet combined E1/T1 transceiver/framer datasheet [M]. PMC Canada, 1999
- [5] Mitel. Digital switch advance information [M]. Mitel Canada, 1999
- [6] AMD. 8 Mbit low voltage flash memory [M]. AMD USA, 2000
- [7] Hyundai. 64bit synchronous DRAM [M]. Hyundai Korea, 1998
- [8] Tundra. QSpan II PCI to Motorola processor bridge manual [M]. Tundra Canada, 1999
- [9] Mitel. T1/E1 System synchronizer [M]. Mitel Canada, 1999

Hardware Module of Multi-Protocol Tester Based on the Specification of 2.0 Mb/s High Speed Signalling link

Liu Zhihui

(China Academy of Telecommunication Technology,
Ministry of Information Industry, Beijing 100083, China)

[Abstract] Great progress has been made in the information industry of the world. Protocol and signalling are becoming more and more important. Telecommunication equipments and instruments are the very guarantee for information industry. Following the development of mobile communication and intelligence network, the 64 kb/s No.7 signalling link now used is no longer suitable for the service increasement. The 2.048Mb/s high speed signalling link has become the best substitute. Since there is no related protocol testing equipment used for telecommunication branch, The 2.048 Mb/s high speed signalling protocol-analyzing set is developed for this purpose. In order to ensure the quality of the analyzing set, the best embedded processor and newest real time operating system are employed.

[Key words] 2.048 Mb/s high speed signalling link; embedded processor; real time operating system; protocol-analyzing set