



ELSEVIER

Contents lists available at ScienceDirect

Engineering

journal homepage: www.elsevier.com/locate/eng



Research
Wireless Communications—Article

面向5G多波束MIMO系统应用的基于先进LTCC封装的39 GHz双信道收发机芯片组

余益明^a, 陈志林^a, 赵晨曦^a, 刘辉华^a, 吴韵秋^a, 尹文言^b, 康凯^{a,*}

^a School of Electronic Science and Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China

^b College of Information Science and Electronic Engineering, Zhejiang University, Hangzhou 310058, China

ARTICLE INFO

Article history:

Received 9 November 2021

Revised 18 January 2022

Accepted 17 April 2022

Available online 27 August 2022

关键词

5G
多波束
多输入多输出
毫米波
收发机
无线通信

摘要

本文介绍了一种用于5G多输入多输出(MIMO)应用的39 GHz收发机前端芯片组。每个芯片包括两个可变增益变频信道,可以支持两个同时独立的波束。该芯片还集成了一个本地振荡器链和数字模块,用于多芯片的扩展和增益状态控制。为了提高射频性能,针对前端系统中的关键构建模块提出了几种电路级改进技术。此外,还开发了先进的低温共烧陶瓷工艺,用于封装39 GHz双信道收发机芯片组,实现了低封装损耗和两个发射(TX)/接收(RX)信道之间的高隔离。通过进行芯片级和系统封装(SIP)级的测量,展示了收发机芯片组的性能。测量特性表明,TX SIP提供11 dB的最大增益和10 dBm饱和输出功率,而RX SIP实现52 dB的最大增益,5.4 dB噪声系数和7.2 dBm输出1 dB压缩点。收发机的单信道通信链路测试显示,对于64次正交幅度调制(QAM),误差矢量幅度(EVM)为3.72%,频谱效率为3.25位·s⁻¹·Hz⁻¹。对于1 m距离内的256-QAM调制,EVM为3.76%,频谱效率为3.9位·s⁻¹·Hz⁻¹。在该芯片组的基础上,还开发了39 GHz的多波束原型,用于执行5G毫米波应用的MIMO操作。用于单流和双流传输的空中通信链路表明,多波束原型可以覆盖5~150 m的距离,具有相当的吞吐量。

© 2022 THE AUTHORS. Published by Elsevier LTD on behalf of Chinese Academy of Engineering and Higher Education Press Limited Company. This is an open access article under the CC BY-NC-ND license (<http://creativecommons.org/licenses/by-nc-nd/4.0/>).

1. 引言

第五代(5G)无线通信旨在提供高移动数据和低延迟,以满足各种使用场景,如流媒体视频、增强现实、三维(3D)游戏、汽车驾驶和大规模的机器式通信。这些要求对5G前端系统的大容量可用带宽带来了关键挑战。根据发布的第三代合作伙伴项目(3GPP),5G新无线电(NR)技术已经发布了多个毫米波(mmWave)波段的频谱,如28 GHz和39 GHz波段,作为当前sub-6 GHz 5G通信的扩展[1]。基于低成本互补金属氧化物半导体

(CMOS)技术的5G毫米波收发机,具有巨大的商业市场潜力,引起了学术界和工业领域的极大关注[2–7]。

然而,由于波长较小,5G毫米波通信系统存在较高的自由空间路径损耗和较低的衍射特性[8–9]。幸运的是,毫米波频率通过使用具有大单元数的阵列,将有效地提高天线的增益,可以在一定程度上补偿路径损耗。为了满足移动需求,5G NR还应该具有波束赋形和波束扫描功能。为了应对上述技术挑战,近年来国内外学者已对28 GHz和39 GHz CMOS相控阵收发机及其关键电路设计开展了一些研究[2–7,10–17]。数字波束形成收发机[5,16]和基于

* Corresponding author.

E-mail address: kangkai@uestc.edu.cn (K. Kang).

混合波束赋形的前端[6–7]具有高性能波束赋形和波束扫描功能，然而这些系统面临海量数字信号处理的挑战，这将大大增加数字处理器的带宽的需求，导致功耗和芯片面积过大。参考文献[3,11–12,18]引入了基于射频（RF）相移架构的 28 GHz CMOS 相控阵收发机，如图 1（a）所示，实现了较高的集成度。然而，每个 RF 信道中的相位/振幅调谐将导致额外的振幅/相位变化，从而降低整个系统的性能，特别是在其波束形成和波束扫描精度方面。此外，对大规模相控阵系统的无线（OTA）测试和校准是耗时且昂贵的[19–20]。参考文献[21–22]提出了几种内置的自测试技术来检测毫米波相控阵收发机的振幅和相位行为，它们能够有效地提高测试效率，使快速校准成为可能。文献[10]报道了一个 39 GHz 的相控阵收发机，内置了振幅和相位校准模块，减轻了收发机信道的相位和振幅失配问题。然而，这些设计仍然存在一定的检测/校准偏差、复杂的电路实现和较大的芯片尺寸等问题。

为了显著提高数据速率和频谱效率，业界在多流波束赋形前端的架构中也做出了许多努力。除了数字波束形成器外，子阵列技术还被广泛用于大型相控阵收发机，以实现多波束能力[23–24]。该技术的基本思想是将相控阵的天线孔径划分为若干个部分，形成一定数量的波束赋形单元。此外，波束数和子阵列规模可以重新配置，以满足不同的应用。然而，这种体系结构需要复杂的控制模块，牺牲了天线阵列的增益。双偏振相控阵收发机也已广泛应用于多波束系统中，但其波束数通常被限制为两个[27–28]。参考文献[6,25–26]中提出了全连接的相控阵前端，具有多个波束同时赋形的特点，但纵横连接网络比较复杂且有损耗，因此限制了整体阵列效率和可扩展性。在实践中，基于相控阵的毫米波系统也存在缺点，比如目标搜索很耗时，基站（BS）和用户设备（UE）之间的切换时间高达几十毫秒[29]。为了缓解这些问题，研究人员提出了几种基于光子辅助波束形成器的多流系统[30–31]，如罗特曼

透镜；然而，由于它们体积庞大，其性能对机械振动和温度变化敏感[32]，很难在 UE 设备中实现。另外，参考文献[33]展示了一种具有单线接口的频域多路复用多输入多输出（MIMO）阵列，而它需要多个局部振荡器（LO）信号来同时处理不同的中频（IF）信号。

为了解决上述的技术挑战，研究人员开发了一种动态多波束架构和相应的 CMOS 收发机芯片组。如图 1（b）所示，整个系统包含了一个多波束天线阵列、多波束选择器和收发机链路。由于波束形成依赖于天线阵列和波束选择器，并且每个收发机链都可以操纵一个独立的波束，因此该架构不需要额外的相位和振幅校准过程来实现精确的波束方向。此外，与相控阵系统相比，该架构在控制波束数方面更加灵活。每个发射（TX）/接收（RX）芯片组由两个 TX/RX 变频信道组成。为了获得良好的线性性能，还开发了针对收发芯片组关键模块的电路技术。为了提高输出功率和功率效率，在每个 TX 链上都添加了砷化镓（GaAs）功率放大器（PA）。因此，所提出的 MIMO 架构可以实现较大的覆盖范围。天线阵列和波束选择器是通过基板集成波导（SIW）结构实现的，因此，它们的尺寸紧凑，可以安装在印刷电路板（PCB）上。从表 1 可以看出，虽然提出的方案对波束扫描的系统装配复杂性和灵活性有影响，但与相控阵架构相比，它在前端芯片实现、波束控制、波束切换速度和频谱效率等方面都具有优势。

对于 5G 毫米波应用，还需要一种高性能封装技术。在此设计中，为毫米波收发机芯片组开发了一种基于低温共烧陶瓷（LTCC）的封装工艺，该工艺具有低损耗的电介质和可靠的多层实现[34]。虽然 LTCC 工艺已广泛应用于毫米波无源电路和组件设计[35–36]，但基于 LTCC 的毫米波大型芯片封装的损耗和热性能有待进一步探索。本文分析了 LTCC 封装中关键结构的高频特性，包括带状线、垂直过孔互联线和键合线。

本文是对早期工作[37]的扩展，论文组织如下。第 2

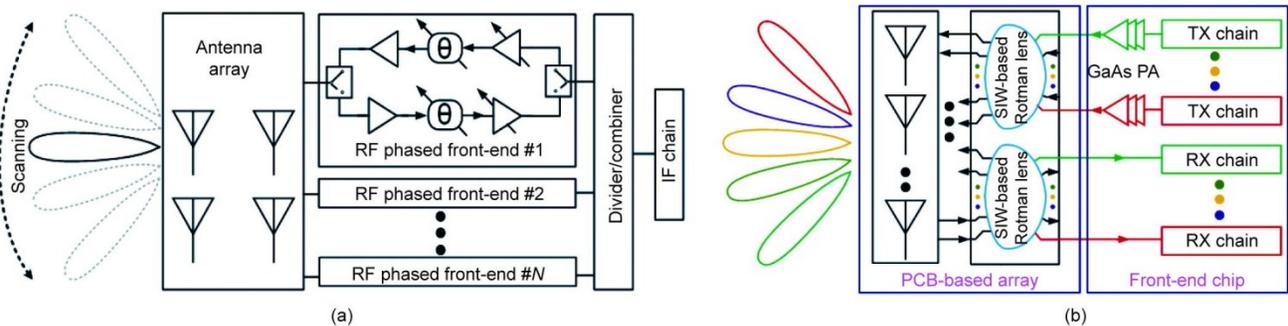


图 1. 5G NR 的系统架构。(a) 仿真移相相控阵前端；(b) 提出的多波束 MIMO 前端。IF：中频；PCB：印刷电路板；SIW：基板集成波导；TX：发射；RX：接收；GaAs：砷化镓；PA：功率放大器；N：信道数。

表1 相控阵与所提出的动态多波束结构的比较

Architecture	Features								
	Output power per channel	Flexibility of beam scanning	Complexity of beam control	Complexity of chip implementation	Assembly complexity	Phase calibration	Multiple beam	Speed of beam switch	Hardware cost
Phased-array architecture (Fig. 1 (a))	Medium	High	High	High	Medium	Yes	No	Low	Low
Proposed dynamic multi-beam architecture (Fig. 1 (b))	High	Medium	Low	Medium	High	No	Yes	High	Medium

节介绍了 39 GHz 收发机的系统设计和链路预算分析。第 3 节阐述了收发机关键电路的设计。第 4 节介绍了基于 LTCC 的封装实现。第 5 节说明了芯片级和封装系统 (SIP) 级测量结果, 并演示了多波束原型。最后, 在第 6 节对本文进行了总结。

2. 系统架构的分析与思考

2.1. 链路预算分析

为了便于电路和系统的实现, 本节对所提出的 5G 多波束架构的链路预算进行了分析。对于 TX 模式, 将中/长距离无线通信的目标有效各向同性辐射功率 (EIRP) 设置为 50 dBm, 计算方法为式 (1):

$$\text{EIRP} = P_t + G_{\text{ANT}} - L_{\text{ANT}} \quad (1)$$

式中, P_t 、 G_{ANT} 和 L_{ANT} 分别表示每个 TX 信道的输出功率、天线阵列的增益和天馈线的损耗。由于使用的基于 SIW 的多波束天线阵列在毫米波状态下具有约为 20 dBi 的 G_{ANT} 和 2 dB 的 L_{ANT} [38–39], 因此 P_t 应达到 32 dBm 才能实现 50 dBm 的 EIRP。然而, 这个值超出了 CMOS 技术中单个 PA 的能力。虽然多个 PA 组合可以扩大输出功率, 但整个系统的功率效率会严重下降, 并且芯片尺寸会过大 [40]。为了解决这些问题, 每个 TX 信道都将采用 GaAs PA, 如图 1 (b) 所示。它的增益约为 35 dB, 输出 1 dB 的压缩点 ($\text{OP}_{1\text{dB}}$), 约为 34 dBm。由于 GaAs PA, CMOS 芯片只需要提供 0 dBm 的线性功率。请注意, CMOS 芯片和 GaAs PA 之间的互连线可能会导致相当大的损耗, 约为 3 dB。因此, 将 CMOS TX 信道的 $\text{OP}_{1\text{dB}}$ 设置为 5 dBm, 以确保一定的功率裕度。

对于 RX 模式, RX 信号功率 (P_r) 可以通过式 (2) 获得:

$$P_r = \text{EIRP} + 10 \times \lg \left(\frac{\lambda}{4\pi R} \right)^2 + G_{\text{ANT}} - L_{\text{ANT}} \quad (2)$$

式中, R 和 λ 表示辐射电磁 (EM) 波在空气中的工作距

离和波长。 $(\lambda/(4\pi R))^2$ 是路径损失因子。基于式 (2), 当发射器的 EIRP 为 50 dBm 时, 工作距离为 50~300 m, 理论上 P_r 的工作范围为 -30 ~ -45 dBm。每个信道输入 1 dB 压缩点 ($\text{IP}_{1\text{dB}}$), 因此选择 -25 dBm, 以保持合理的动态范围, 并抵抗其他 BS 的干扰。基于 3GPP 标准, 39 GHz 收发机需要支持 400 MHz 的信号带宽。为了进行 64 正交幅度 (QAM) 调制, 误差矢量幅度 (EVM) 应小于 8%, 并得到相应的最小信噪比 (SNR_{min}) 的 RX 信道为 22 dB。对于 -58 dBm 的目标接收机灵敏度, 可以根据给定的信号带宽和 SNR_{min} 推导出 RX 链路的噪声系数 (NF) [41], 该系数需要小于 8 dB。考虑 L_{ANT} 为 2 dB, CMOS 芯片的 NF 应小于 6 dB。由于基带电路中的模数转换器需要 7 dBm 的驱动功率, 因此 CMOS RX 信道的增益被设置为 47 dB 以上。为了满足不同应用场景的要求, CMOS 芯片还应集成增益控制块模块, 以控制发射器的输出功率, 扩展接收机的动态范围。在本工作中, 将每个信道的增益调谐范围设置为 31 dB, 增益调谐步骤为 1 dB。通过文献综述和电磁仿真, 了解所使用的基于 SIW 的波束选择器的不同波束端口之间的相互耦合, 在毫米波范围内小于 -20 dB。因此, CMOS 芯片中两个信道之间的隔离度被设置为大于 30 dB, 以避免加剧整个系统的串扰。CMOS 芯片的关键系统规格见表 2。

2.2. CMOS 收发机架构

除了上述要求外, CMOS 芯片还应满足几个重要的先决条件: ①针对多波束 MIMO 应用的高可扩展性; ②CMOS 芯片与系统板上其他模块之间的互连复杂度低; ③适当的输入/输出 (I/O) 接口设计, 以减少系统路由造成的性能下降; ④对称布局和高信道隔离, 以确保信道一致性; ⑤毫米波 CMOS 芯片的紧凑封装, 以降低大规模 MIMO 系统的组装难度和成本。

为了解决上述技术挑战, 本文提出了一种 CMOS 芯片组架构, 如图 2 所示。TX 和 RX 芯片由两个信道组成, 一个 LO 链和一个串行外围接口 (SPI) 模块。每个 TX 信

表2 5G多波束MIMO系统CMOS芯片的关键规格

Parameter	Value
RF frequency	38.5 GHz
LO frequency	9 GHz
IF frequency	2.5 GHz
Number of TX/RX channel	2
Support modulation	64-QAM
Required SNR	22 dB
OP _{1dB} of TX	5 dBm ^a
IP _{1dB} of RX	-25 dBm
NF	6 dB
Gain tuning range/step of TX/RX	31 dB/1 dB
Channel isolation of CMOS chip	> 30 dB

SNR: signal-to-noise ratio.

^a including 2 dB link margin.

道由一个IF混频器、RF混频器、五位衰减器和PA组成；RX信道则由一个低噪声放大器（LNA）、五位衰减器、RF混频器、IF混频器和IF放大器组成。为了最小化LO泄漏和改善图像排斥能力，本文采用了超外差拓扑结构。如图2所示，RF、内IF和外IF的频率方案分别设置为38.5 GHz、11.5 GHz和2.5 GHz。RF和IF混频器对应的LO频率分别为27 GHz和9 GHz。来自芯片外模块的9 GHz正弦波信号被注入芯片中，为IF混频器提供LO信号。因为RF混频器的LO频率（ f_{RF-LO} ）是IF混频器（ f_{IF-LO} ）的三倍，因此采用注入锁定三倍频器（ILFT）乘以外部输入的本振信号，产生RF混频器的LO。与传统的片上锁相环（PLL）[42]架构相比，LO链具有电路设计简单和紧凑的优点。此外，基于LO链，芯片组易于组装更大的MIMO系统。

在实际应用中，基于CMOS技术的毫米波多信道收发机存在基板隔离性差和布局相关的寄生效应等缺点。因

此，全差分结构用于实现收发机中的所有构建块，这些模块对于接地线和电源线以及封装的严重寄生效应具有鲁棒性。在RF和LO链中采用三个巴伦信号，将单端/差分信号转换为差分/单端信号。

3. 电路实现

3.1. 发射器信道

如图2（a）所示，TX信道采用超外差结构。为了实现高线性和LO隔离度以处理大输入IF信号和LO自混频，采用具有线性增强技术的双平衡Gilbert拓扑设计了IF和RF上变频混频器。如图3（a）所示，跨导（ g_m ）级由具有源极负反馈电感器的共源（CS）结构和共栅（CG）结构组成。CS晶体管 M_{R1} 和 M_{R4} 在饱和区域有偏置，而CG晶体管 M_{R2} 和 M_{R3} 在弱反型区域内工作。在这种偏置条件下，CS晶体管的三阶 g_m 极性与CG晶体管的极性相反。通过优化CS和CG结构的偏置电压和器件尺寸，可以消除这两个路径的三阶 g_m 之和，从而提高了电路的线性度[43]。

由于 M_{R1} 的寄生栅源电容，传统的Gilbert混频器的输入阻抗（ Z_{in_CS} ）会遇到一个较大的虚部，并随工作频率而急剧变化，如图3（b）所示，这就限制了输入匹配的带宽。需要额外的组件如大电感器来处理输入阻抗的大虚部，这将导致芯片面积的损耗。然而，所提出的拓扑结构的输入阻抗（ Z_{in_CSCG} ）由CS和CG路径的输入阻抗决定。仿真的 Z_{in_CSCG} 也如图3（b）所示，其虚部比 Z_{in_CS} 小得多，具有更平坦的频率响应。这一发现表明，该拓扑结构可以很容易地实现与前一级或源阻抗（50 Ω ）的宽带阻抗匹配。布局后仿真表明，上变频混频器在38.5 GHz下实现

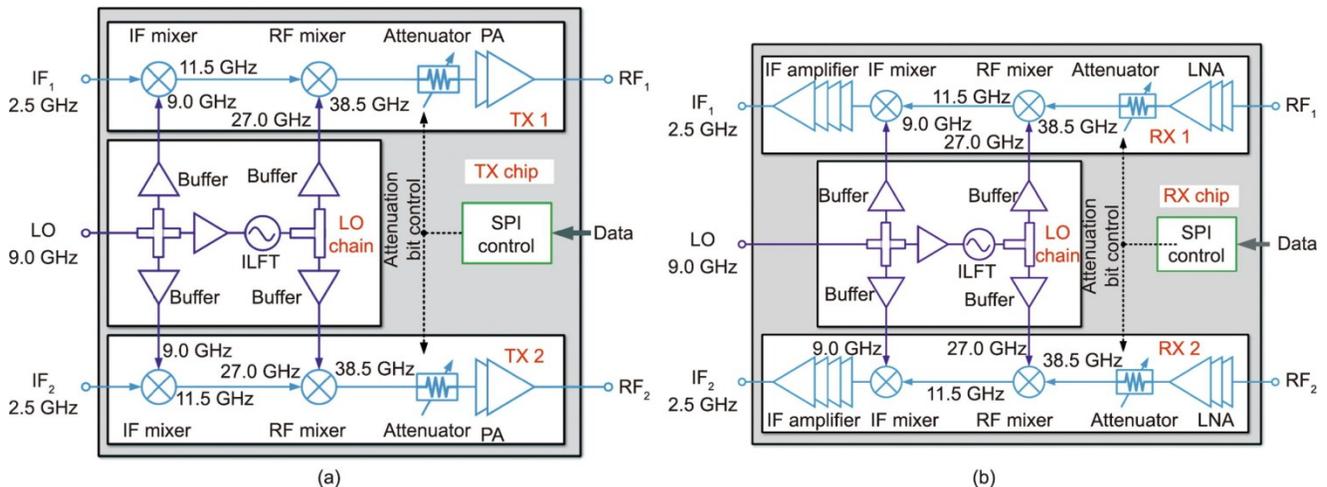


图2. 拟议的TX和RX芯片图。(a) TX；(b) RX。ILFT：注入锁定三倍频器；SPI：串行外围接口；LNA：低噪声放大器。

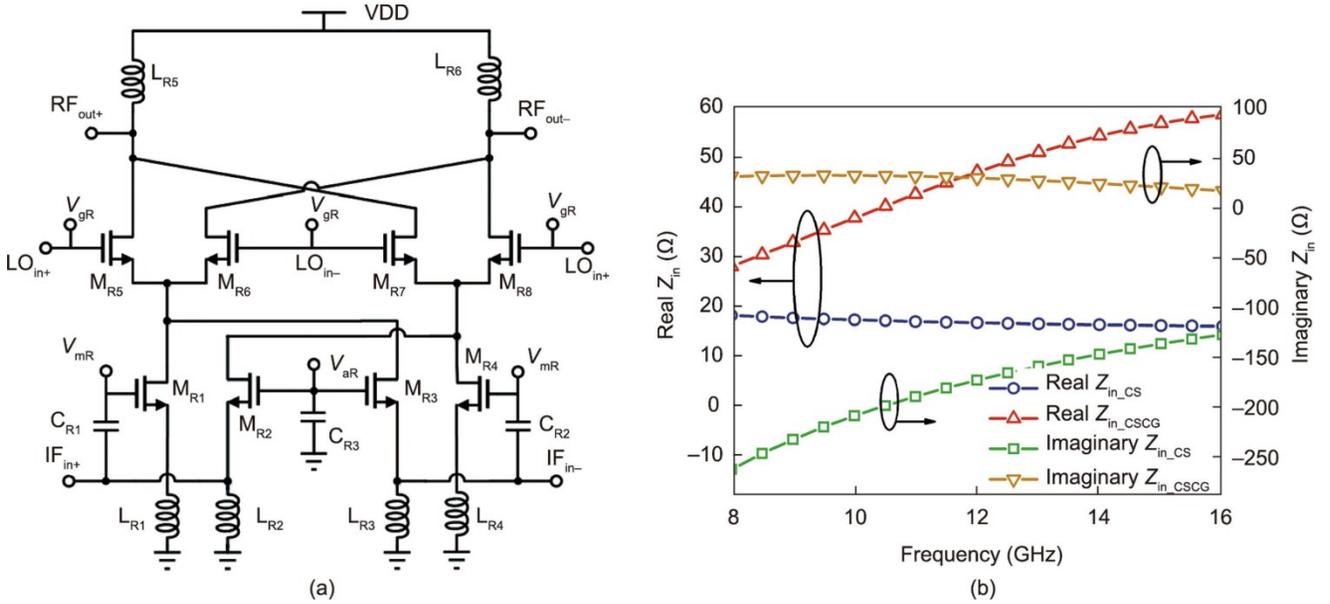


图3. (a) RF和IF上变频混频器的原理图；(b) CS级和CSCG级的仿真输入阻抗。M_{R1}~M_{R8}: 原理图中的晶体管；L_{R1}~L_{R6}: 原理图中的电感器；C_{R1}~C_{R3}: 原理意图中的电容器；VDD: 电源电压；V_{mR}: 晶体管M_{R1}和M_{R4}的偏置电压；V_{aR}: 晶体管M_{R2}和M_{R3}的偏置电压；V_{gR}: 晶体管M_{R5}~M_{R8}的偏置电压；IF_{in+}、IF_{in-}: 输入IF信号；LO_{in+}、LO_{in-}: 输入LO信号；RF_{out+}、RF_{out-}: 输出RF信号；Z_{in}: 输入阻抗；Z_{in_CS}: 传统的Gilbert混频器的输入阻抗；Z_{in_CSCG}: 所提出的拓扑结构的输入阻抗。

了约为0 dB和-1 dBm IP_{1dB}的增益，同时消耗34.2 mW的直流电(DC)功率。

RF上变频混频器后面是一个五位衰减器，如图4(a)所示，1 dB、2 dB和4 dB衰减单元采用bridge-T拓扑实现，而8 dB和16 dB衰减单元采用π型拓扑实现。为了减少不同状态下的相位变化，在每个衰减单元的并联支路中引入尾部电容器C₁₁/C₁₂[44]。从图4(b)中可以看出，衰减单元的相位响应对C₁₁/C₁₂很敏感。在衰减状态下的相位延迟将由C₁₁/C₁₂进行补偿，因此，可以有效地减小衰减状态 and 参考状态之间的相位差。在这个设计中，1 dB、2 dB、4 dB、8 dB和16 dB衰减单元中的C₁₁/C₁₂分别为71 fF、27 fF、46 fF、30 fF和34 fF。如图4(b)所示，在37~41 GHz范围内测量到的衰减器的均方根(RMS)相位误差低于3.8°。此外，在开关M_{A1}~M_{A4}的体节点上增加了一个大的电阻以防止RF信号从晶体管的通道泄漏到地面，从而减少损耗。结果，衰减器达到的振幅范围为31 dB，损失7 dB。

如图5所示，PA采用两级差分三层叠结构实现。晶体管在AB类模式下进行偏置，以平衡线性度和功率效率。通过堆叠三个晶体管，可以显著提高电源电压，而无需使晶体管运行超过击穿电压。输出功率也相应地增强。紧凑型1:1变压器(TF_{p1}和BN_{p1})作为输入和输出匹配网络。BN_{p1}还将差分信号传输到单端模式，以满足测量和封装要求。在本设计中，PA的电源电压设置为1.8 V。根据布局仿真，PA获取50 mA直流电流，在38.5 GHz下

提供7.5 dBm的线性输出功率。

3.2. 接收器信道

与TX信道类似，RX信道也采用了双变频结构，由一个LNA、一个五位衰减器、两个下变频混频器和一个IF高增益放大器组成。衰减器与TX信道中的衰减器相同。为了补偿衰减器的损失，抑制以下阶段的噪声，采用三级拓扑结构实现了高增益LNA如图6(a)所示。第一级由具有基于变压器g_m增强技术的CG拓扑结构实现输入阻抗匹配和噪声匹配，从而提高增益和噪声性能。第二级和第三级基于CS结构。最后两级采用交叉耦合电容中和寄生栅极到漏极的电容，以获得高增益。在M_{L2}的源漏节点之间采用基于变压器的正反馈网络，进一步降低了第二级的噪声贡献，并扩展了级间匹配带宽[45]。由于它的增益超过30 dB，因此稳定性性能是另一个关键挑战。由于采用了电容中和技术和第二级的反馈变压器，LNA在差分调制解调器中具有良好的稳定性。然而，由于巴伦的不平衡以及器件和互连的不匹配而引起的无用的共模信号将被LNA的每一级放大，这可能导致振荡风险。如图6(b)所示，在31.5~34.6 GHz中，传统结构的仿真共模稳定因子小于1。为了解决这个问题，在第三级的共模点上增加了一条传输线(TL)来抑制共模信号。因此，由于这些方法的存在，LNA在差模和共模下都取得了良好的稳定性[图6(b)]。根据电路仿真，LNA采用48 mW直流功率，增益为30.5 dB，NF为3.9，IP_{1dB}在38.5 GHz时为-23 dBm。

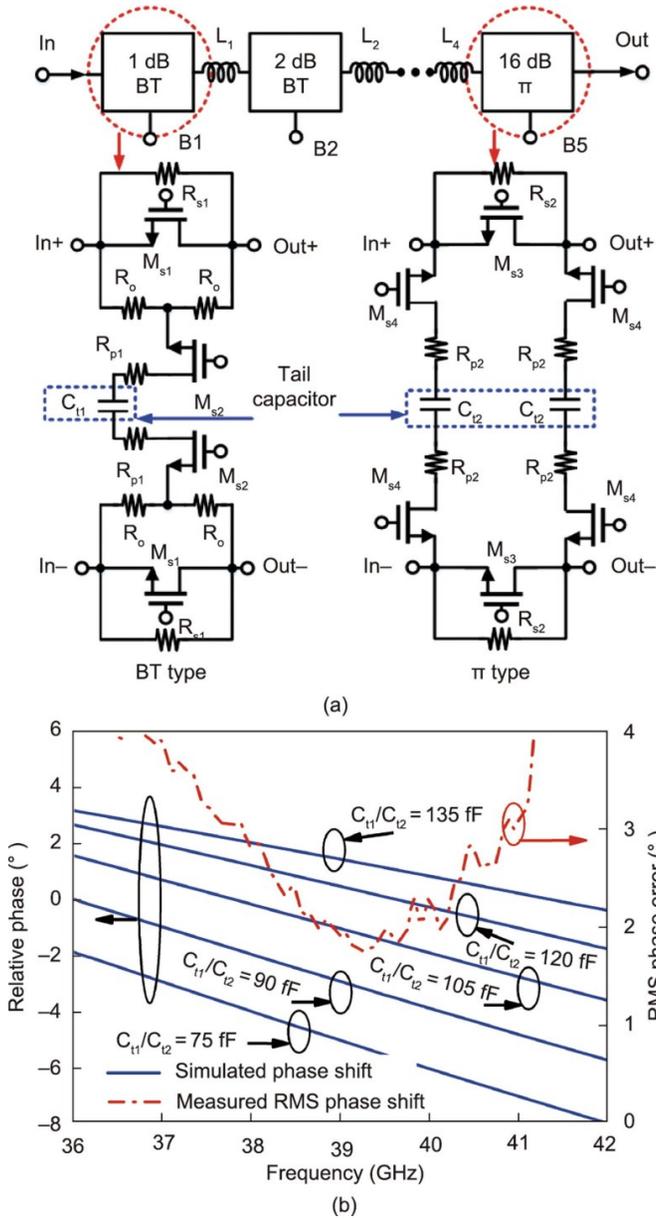


图4. (a) 衰减器原理图; (b) 仿真了 8 dB 衰减单元的相位响应, 并测量了衰减器的均方根相位误差。RMS: 均方根; BT: bright-T; L_1 、 L_2 、 L_4 : 用于级间阻抗匹配的串联电感器。B₁、B₂、B₅: 逻辑控制位; R_{s1} 、 R_{s2} : 电路串联分支中的电阻器; M_{s1} ~ M_{s4} : 电路中的晶体管; R_o 、 R_{p1} 、 R_{p2} : 电路并联分支中的电阻器; C_{t1} 、 C_{t2} : 尾部电容器。

图 7 (a) 显示了 IF 和 RF 下变频混频器的拓扑结构。 g_m 级采用 CG 结构实现宽带阻抗匹配。为了扩大增益, 在 g_m 的源节点和漏极节点之间采用了基于变压器的反馈技术级晶体管 M_{t1} 和 M_{t2} 。图 7 (b) 描述了差动变压器的物理结构。此外, 变压器还减少了跨导级与开关级之间的耦合。RF 下变频混频器在 1.8 V 电源电压下消耗 10.5 mA 电流, 在 38.5 GHz 下实现 7.3 dB 增益和 -5.9 dBm IP_{1dB} 。

如图 2 (b) 所示, IF 混频器后面是一个四级 IF 放大器。图 8 显示了该电路。前三级由具有电流源负载的 CG

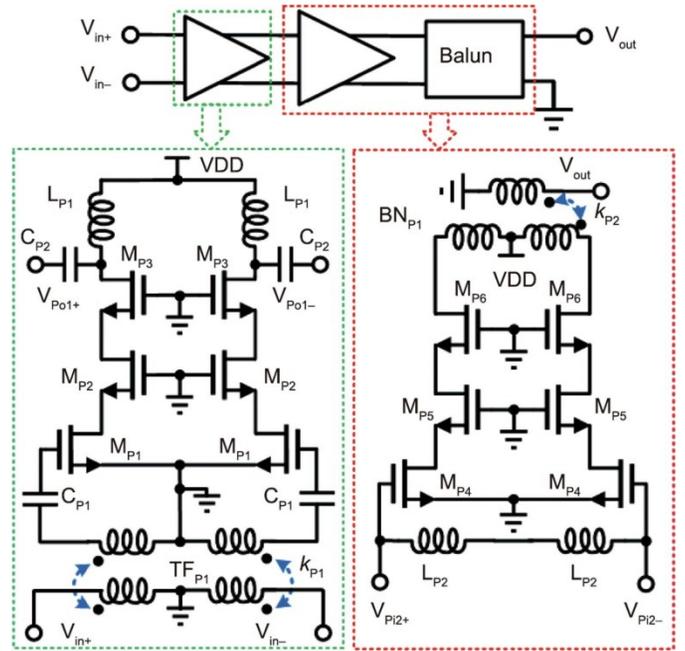


图 5. PA 示意图。 V_{in+} 、 V_{in-} : 输入差分信号; V_{out} : 输出单端信号; V_{Po1+} 、 V_{Po1-} : 第一级输出信号; V_{Pi2+} 、 V_{Pi2-} : 第二级输入信号; TF_{P1} : PA 的输入变压器; k_{P1} : TF_{P1} 的耦合系数; L_{P1} : 第一级负载电感器; L_{P2} : 第二级负载电感器; C_{P1} 、 C_{P2} : PA 中的电容器; M_{P1} ~ M_{P6} : PA 中的晶体管; BN_{P1} : PA 的输出巴伦; k_{P2} : BN_{P1} 的耦合系数。

结构实现。为了抑制共模信号, 在前两级的共模路径和地之间插入电阻 R_{t1} 。最终功率级使用具有电感差分负载的共源共栅结构来提供高输出功率 (图 8)。在 1V 电源电压下, 共源共栅放大器也可以在漏极节点处经历高电压摆动。为了节省芯片尺寸, 采用无电感法串联连接放大级。测量结果表明, IF 放大器在 2.5 GHz 时具有 27 dB 增益和 8 dBm OP_{1dB} , 功耗为 37.4 mW。

3.3. LO 链

如图 2 所示, LO 链用于为两个 TX/RX 信道中的 IF 和 RF 混频器提供 LO 信号。输入外部 9 GHz LO 信号并通过片上巴伦将其转换为差分形式。巴伦是通过使用耦合系数为 0.72 的 3:3 变压器来实现的[图 9 (a)]。初次和次要绕组均使用顶部金属来获得高品质因数。在 9 GHz 时, 电磁仿真的相位误差、振幅失配和损耗分别为 0.5°、0.25 dB 和 2.5 dB, 然后, 通过差分功率分频器将差分输入信号分成三条并行路径, 驱动两个 IF 混频器和一个 ILFT。此外, 将三个相同的 IF 缓冲器添加到三个并行路径以补偿平衡和功率分配器触发的损失, 它们还提供恒定负载三个路径的阻抗, 从而最小化不同信道的 LO 功率的不平衡。使用 ILFT, 外部输入 LO 信号的频率乘以 3。生成的三阶谐波信号由一个紧凑的无源分频器分为两条路径, 并被两个并行 RF 缓冲器放大, 以驱动 TX/RX 芯片中的两个 RF

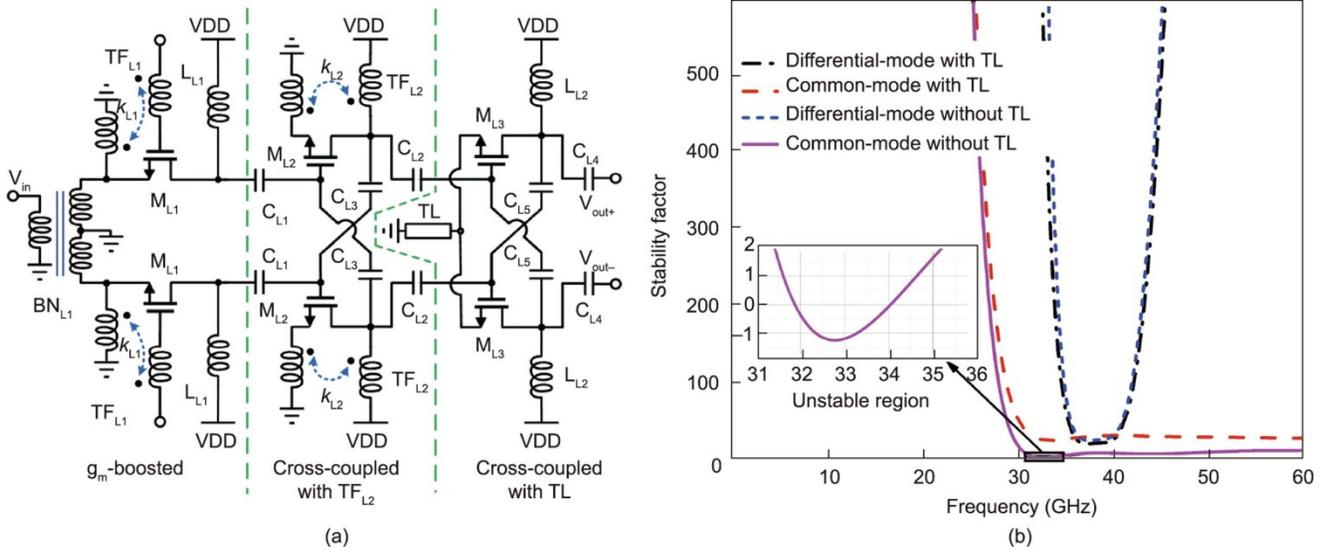


图6. (a) LNA原理图；(b) 布局后仿真差模和共模稳定性因子。 V_{out+} 、 V_{in-} ：输出差分信号； V_{in} ：输入单端信号；TL：传输线； BN_{L1} ：输入巴伦； TF_{L1} ：LNA第一级变压器； k_{L1} ： TF_{L1} 的耦合系数； TF_{L2} ：LNA第二级的变压器； k_{L2} ： TF_{L2} 的耦合系数； L_{L1} 、 L_{L2} ：阻抗匹配原理图中的电感器； M_{L1} ~ M_{L3} ：LNA原理图中的晶体管； C_{L1} ~ C_{L5} ：LNA原理图中的电容器。

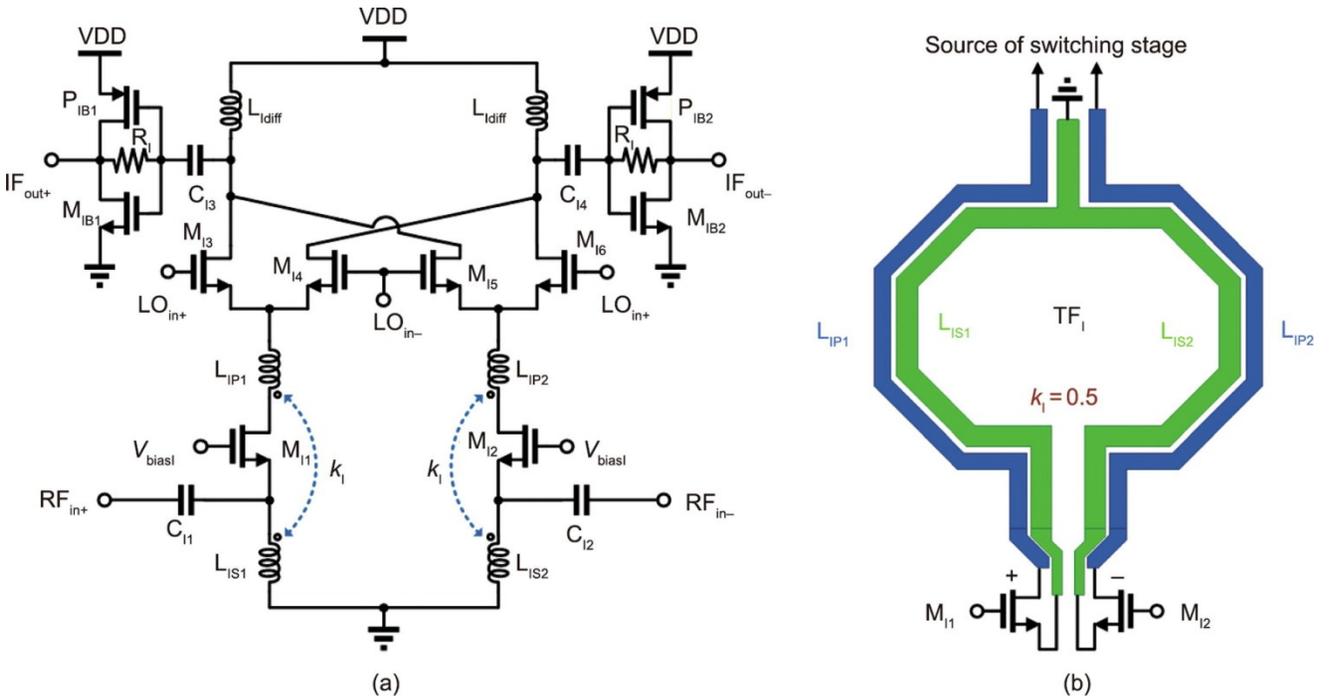


图7. (a) RF和IF下变频混频器示意图；(b) 实施变压器反馈。 V_{bias1} ：跨导级的栅极偏置电压； RF_{in+} 、 RF_{in-} ：输入RF信号； IF_{out+} 、 IF_{out-} ：输出IF信号； P_{IB1} 、 P_{IB2} ：混频器的输出缓冲器中的正向信道晶体管； M_{IB1} 、 M_{IB2} ：混频器的输出缓冲器中的负向信道晶体管； R_I ：在混频器的输出缓冲器中的反馈电阻； C_{11} ~ C_{14} ：原理图中的电容器； M_{11} ~ M_{16} ：混频器中的晶体管； L_{diff} ：混频器中的差分负载电感器； L_{IP1} 、 L_{IP2} ：跨导级的漏极电感器； L_{IS1} 、 L_{IS2} ：跨导级的源电感器； TF_I ：混频器中的变压器； k_I ： TF_I 的耦合系数。

混频器。为了节省芯片面积，功率分配器作为级间匹配网络，其布局设计尽可能对称，以减少LO输入功率的不一致，如图9(b)所示。LO链中的所有缓冲器均通过具有差分感应负载的CS拓扑结构，以获得足够的增益和输出功率，如图9(c)所示

图9(d)是ILFT的原理图。对于注入锁定振荡器，

锁定范围主要由注入到振荡器中的三阶谐波的振幅决定[46]，因此，谐波产生晶体管 M_{T5} 和 M_{T6} 的导通角设计为 100° ，以实现最大三次谐波分量。此外，还采用反馈电阻 R_{T1} 和 R_{T2} 来进一步提高锁定范围。采用变容二极管 C_{T1} 和 C_{T2} 来补偿工艺、电压和温度(PVT)的变化。ILFT的测量锁定范围为8.40~9.66 GHz，输入功率为0 dBm，直流

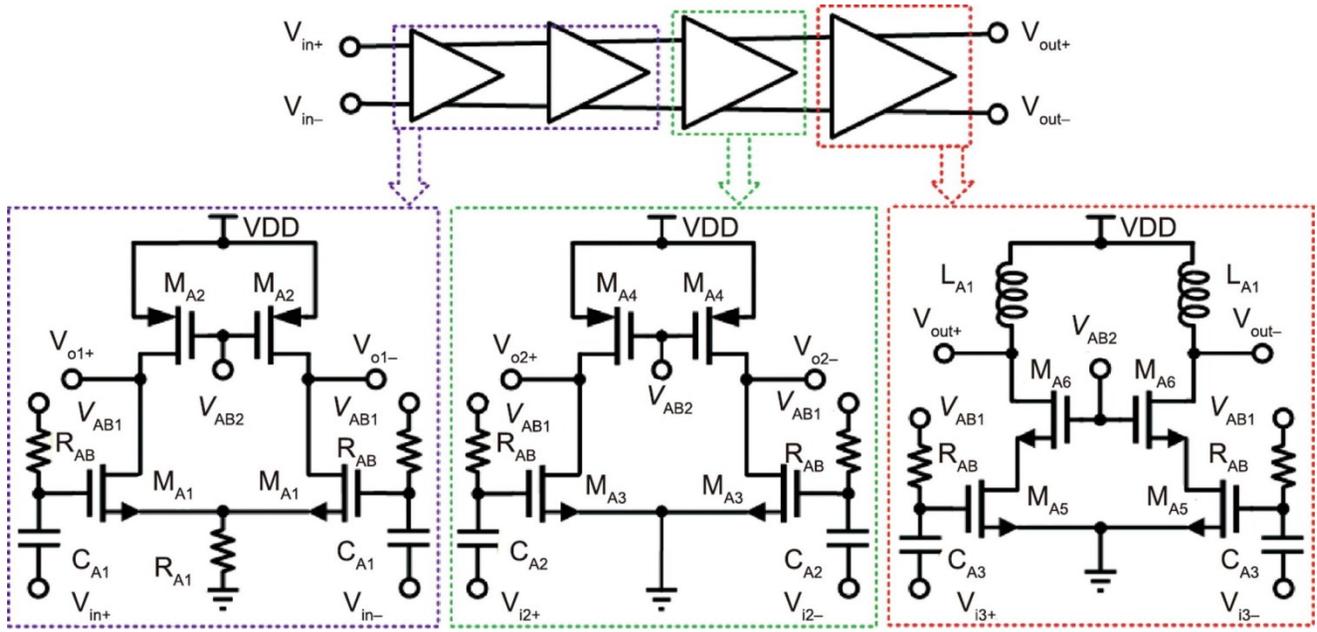


图8. IF放大器的原理图。M_{A1}~M_{A6}: IF放大器中的晶体管; R_{AB}: 偏置电阻器; R_{A1}: 第一/第二级的负反馈电阻; C_{A1}~C_{A3}: 电路中的电容器; L_{A1}: IF放大器的负载电感器; V_{i2/3+}、V_{i2/3-}: IF放大器的第三/第四级的输入信号; V_{o1/2+}、V_{o1/2-}: IF放大器第一/第三级的输出信号; V_{AB1}: 共源晶体管的栅极偏置电压; V_{AB2}: 共栅极晶体管的栅极偏置电压。

功耗为4.6 mW。图9 (e) 显示了测量的相位噪声性能。偏移量为1 MHz时, 27 GHz输出信号的相位噪声为-125.1 dBc, 9 GHz输入信号的相位噪声为-134.9 dBc。相位噪声衰减为9.8 dB, 接近于倍频比为3的频率乘法器的理论值9.5。因此, ILFT对收发机LO信号的相位噪声性能影响较小。

3.4. 布局考虑

由于采用差分机构, 毫米波电路的布局采用对称设计, 以减少地线和电源线的寄生效应的影响, 从而保持良好的RF性能。为了最大程度地减少与布局相关的影响, 并确保信道响应的良好一致性, 两个TX/RX信道的布局也尽可能对称地放置。LO链和SPI模块插入两个TX/RX信道之间, 这导致每个信道具有等长度和对称的LO供给结构[图9 (b)]。由于对称的布局, LO链为两个信道中的混频器提供了相同的驱动功率, 还保证了相当高的信道隔离度。此外, 在每个信道中利用从基板堆积到顶部金属并连接到地平面的金属屏障, 以进一步提高信道隔离度。

4. 基于LTCC的封装设计

与传统的封装工艺相比, LTCC封装具有更高的可靠性和相对较低的波段损耗。因此, 采用LTCC对39 GHz收发机芯片组进行封装。图10 (a)、(b) 显示了LTCC封装的3D图和俯视图, 由18层绝缘体基板组成 (Ferro A6,

厚度为92 μm, 相对介电常数ε_r为6.0) 和19个金属层 (银层, 厚度为8 μm)。4个接地层 (第1层、第8层、第12层和第19层) 将封装箱分为三个功能区域: 数字控制 (第2~7层)、RF信号条纹线 (第9~11层) 和电源 (第13~18层)。这些区域最大程度地减少了不同类型信号之间的串扰。封装尺寸约为9.000 mm × 9.000 mm × 1.826 mm。

挖一个深为300 μm的3 mm × 3 mm空腔来放置芯片, 因此, CMOS芯片和封装的顶层具有相同的高度。该结构缩短了从芯片到封装的键合线的长度, 减轻了毫米波状态下键合线的影响。TX和RX芯片的设计都采用了类似的布局架构。因此, 它们共享相同的封装结构。由于TX芯片的RF端口位置与RX芯片不同, 因此在封装结构中添加了两个额外的RF信号条状线, 如图10 (b) 所示, 这种共享封装可以简化系统组装并降低封装成本。

4.1. 信号带状线和垂直过孔设计

图11 (a) 为RF信号传输结构。该结构由一个共面波导 (CPW) 键合指、垂直过孔I、RF带状线、垂直过孔II和CPW表面安装装置 (SMD) 针组成。带状线在第10层实现, 而接地层在第8层和第12层实现。上下对称的接地表面导致均匀的电场分布, 提供了有效的电磁屏蔽[47]。此外, 每条带状线两侧采用两排接地孔, 进一步减少了电磁分散和辐射。因此, 带状线的损失将会减少, 并且可以隔离出其他条纹线的干扰。

在垂直过孔过渡周围还采用了两排接地通孔, 用于

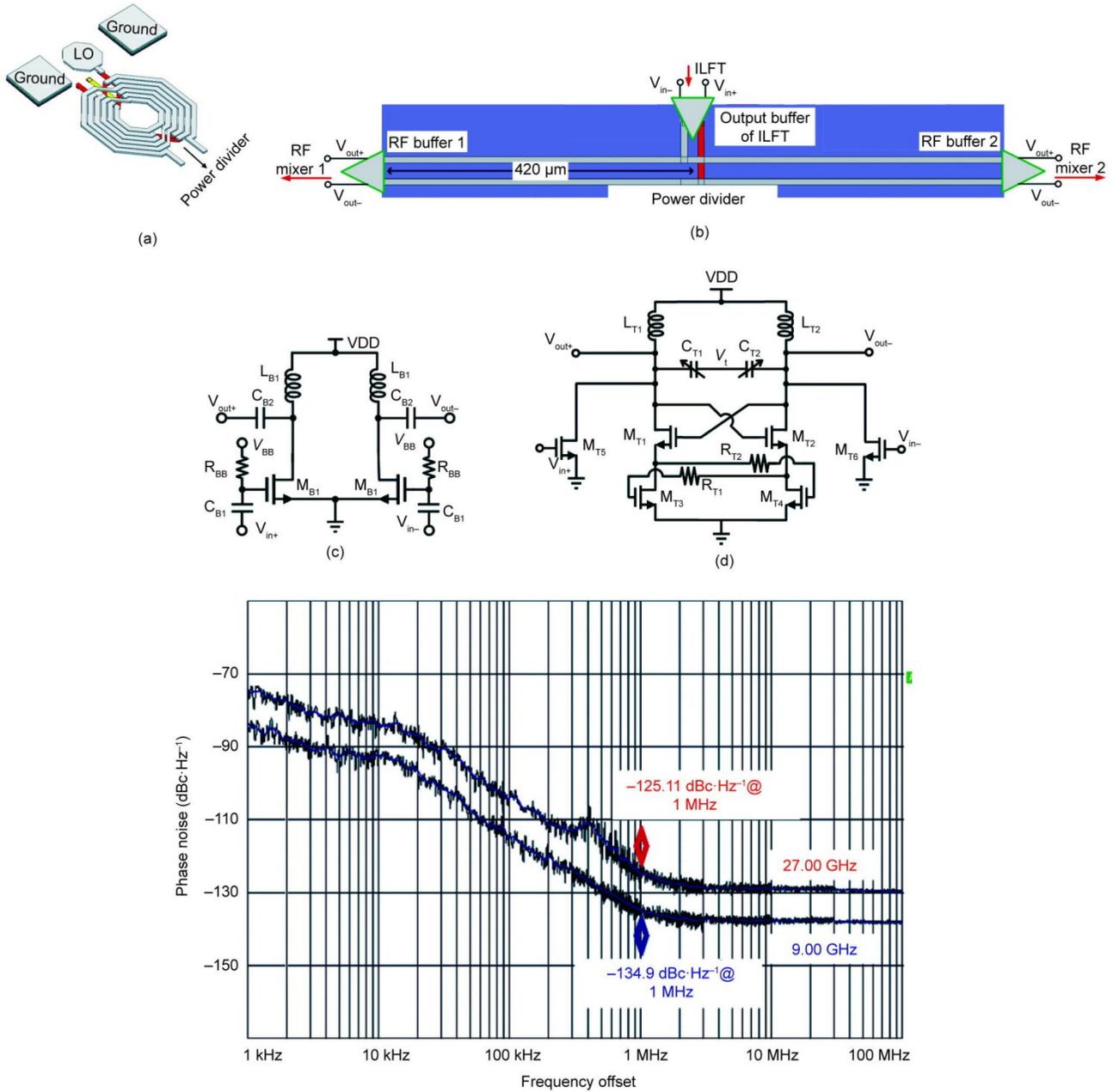


图9. (a) LO输入巴伦的3D图；(b) 带有缓冲器的RF无源分频器的布局图；(c) 缓冲器的拓扑结构；(d) ILFT的原理图；(e) 测量的ILFT的相位噪声。 V_{BB} : 缓冲器的栅极偏置电压； L_{B1} : 缓冲器的负载电感器； R_{BB} : 缓冲器的偏置电阻； M_{B1} : 缓冲器中的晶体管； C_{B1} 、 C_{B2} : 缓冲器中的电容器； M_{T1} ~ M_{T6} : 在ILFT中的晶体管； L_{T1} 、 L_{T2} : ILFT中的漏极电感器； C_{T1} 、 C_{T2} : ILFT中的变容二极管； R_{T1} 、 R_{T2} : ILFT中的栅极电阻； V_i : 变容二极管的调谐电压。

CPW线和带状线之间的互连。为了研究它们的特性，对垂直过孔I进行了电磁仿真。如图11(b)所示，垂直过孔的高度和直径分别为 $901\ \mu\text{m}$ 和 $100\ \mu\text{m}$ 。图12显示了不同地面振动次数的垂直过孔过渡的仿真电场分布的俯视图。可以看出，随着接地孔数量的增加，电场被更加严格地限制在接地孔的内部。电磁仿真结果表明，在 $39\ \text{GHz}$ 时，2、4、8和20个地孔的跃迁损失分别为 $0.200\ \text{dB}$ 、 $0.120\ \text{dB}$ 、 $0.100\ \text{dB}$ 和 $0.095\ \text{dB}$ 。并研究了相邻信道跃迁

间的电磁耦合效应，如图13所示。使用一圈接地过孔时，端口1和端口4之间的仿真电磁耦合为 $-64\ \text{dB}$ ，而使用两圈接地过孔时，仿真电磁耦合为 $-85.7\ \text{dB}$ 。因此，接地过孔不仅可以减少损耗，而且还可以减轻相邻信道之间的串扰。在本设计中，采用了两圈接地过孔的结构，共计20个接地过孔，以平衡RF性能和封装尺寸。

4.2. 键合线设计

键合线是毫米波封装中的另一个关键组成部分。虽然

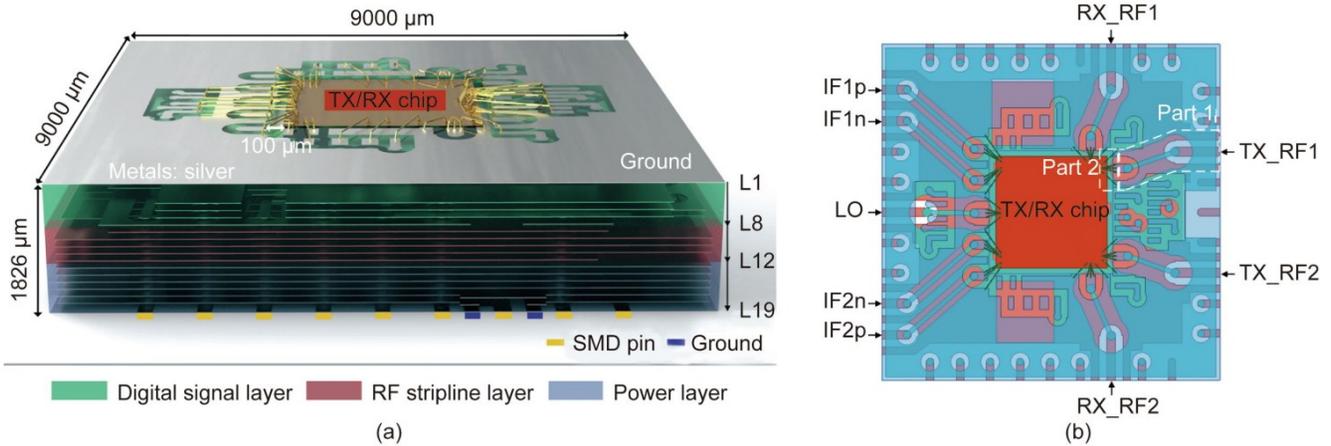


图 10. LTCC 封装的物理结构。(a) 3D 视图；(b) 简化的俯视图（仅显示信号路径）。SMD：表面贴装器件；IF1p、IF1n：第一个 IF I/O 端口；IF2p、IF2n：第二个 IF I/O 端口；RX_RF1/RX_RF2：第一/第二 RX 信道的 RF 输入端口；TX_RF1/TX_RF2：第一/第二 TX 信道的 RF 输出端口；L1：第一层；L8：第 8 层；L12：第 12 层；L19：第 19 层。

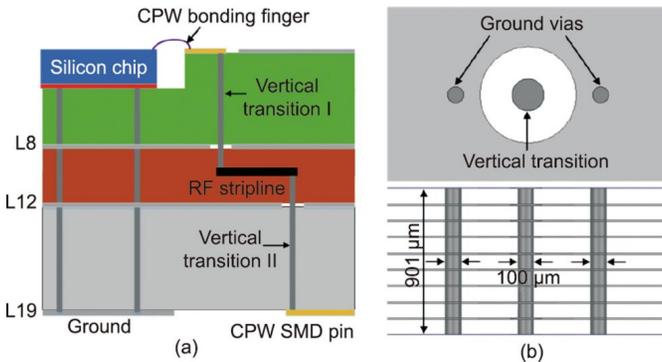


图 11. (a) RF 信号传输路径的横截面图；(b) 垂直过孔过渡。CPW：共面波导。



图 13. 通过相邻信道的过渡在两个垂直方向建立的耦合模型。

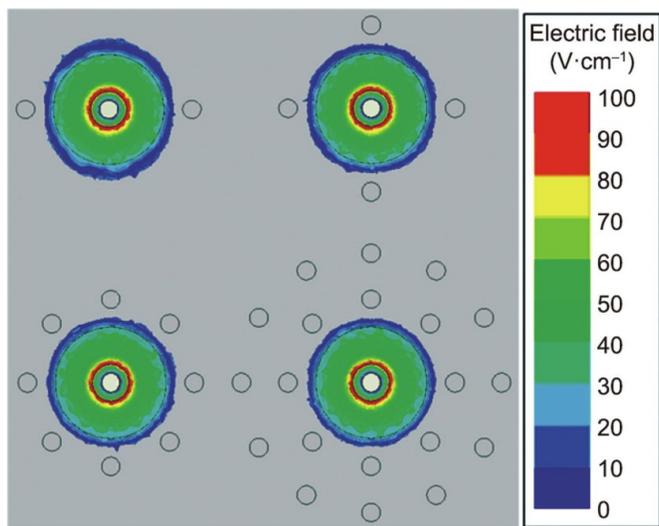


图 12. 电场分布与接地过孔的数量（2、4、8、20 个）。

空腔用于缩短键合线的长度，但键合线对系统的整体性能有相当大的影响，特别是在 RF 端子处的性能。图 14 (a) 显示了接地-信号-接地（GSG）焊盘和 CPW 之间的键合线结构的 3D 视图。图 14 (b) 描述了金键合线的物

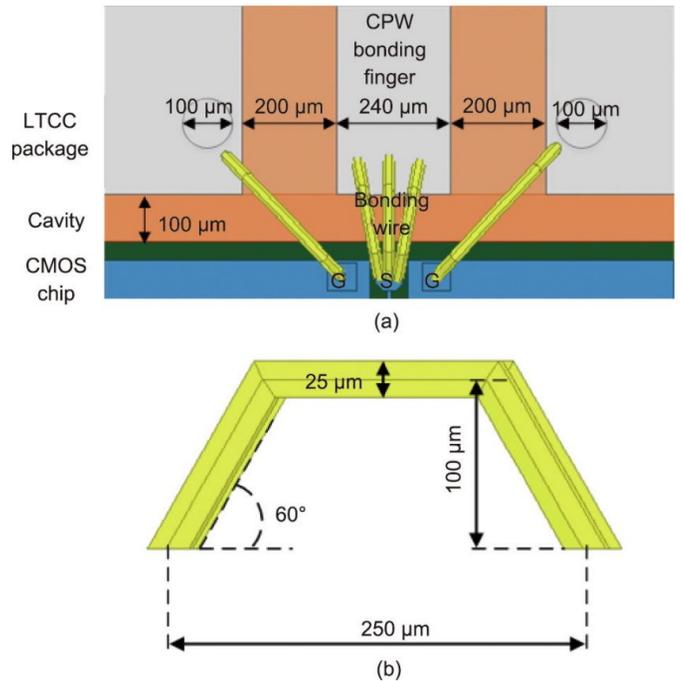


图 14. (a) GSG 焊盘和 CPW 键合指之间的键合线过渡；(b) 金键合线的物理结构。GSG：接地-信号-接地。

理结构，其直径、长度和高度分别为 25 μm、250 μm 和 100 μm。为了保证仿真精度，电磁仿真的封装模型包括了所有的互连线 and 信号传输结构。图 15 显示了观察 SMD 针端口的电磁仿真反射系数以及 RF 端子不同数量

键合线的损耗。反射系数的波谷向更高的频率移动，随着键合线数量的增加，损耗减小。因为等效电感和寄生电阻会随着平行连接线的增加而成比例地减小。然而，焊盘的尺寸限制了可容纳的键合线的数量。本设计在每个RF焊盘上使用三根焊线，以保持良好的RF性能和阻抗匹配，而直流焊盘和接地焊盘仅使用一根焊线以降低成本。

5. 系统测量和分析

该 39 GHz 的双信道收发机芯片组采用标准的 65 nm CMOS 工艺制造，并安装在 LTCC 封装中。芯片模照片和测试板如图 16 所示。TX 芯片尺寸为 2.4 mm × 2.8 mm，RX 芯片面积为 2.8 mm × 2.8 mm。TX 和 RX 芯片采用相同的 LTCC 封装，尺寸约为 9 mm × 9 mm。对收发机芯片组

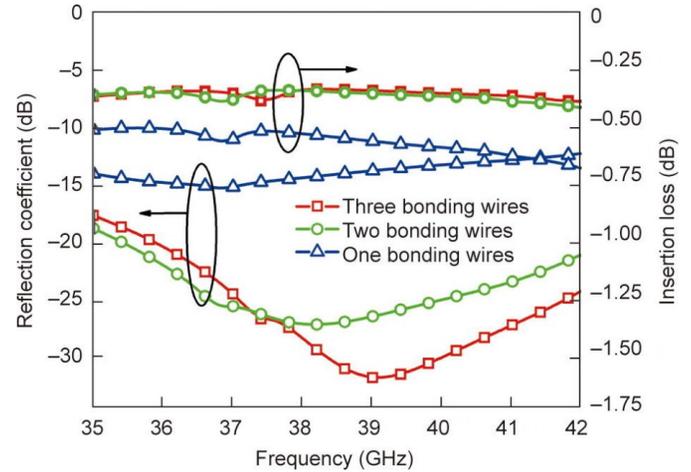


图 15. 仿真了不同焊接导线数下的反射系数和损耗。

进行芯片级测量和 SIP 级测量。基于所设计的芯片组，开发了适用于 5G NR 的 39 GHz 多波束 MIMO 原型。还进行

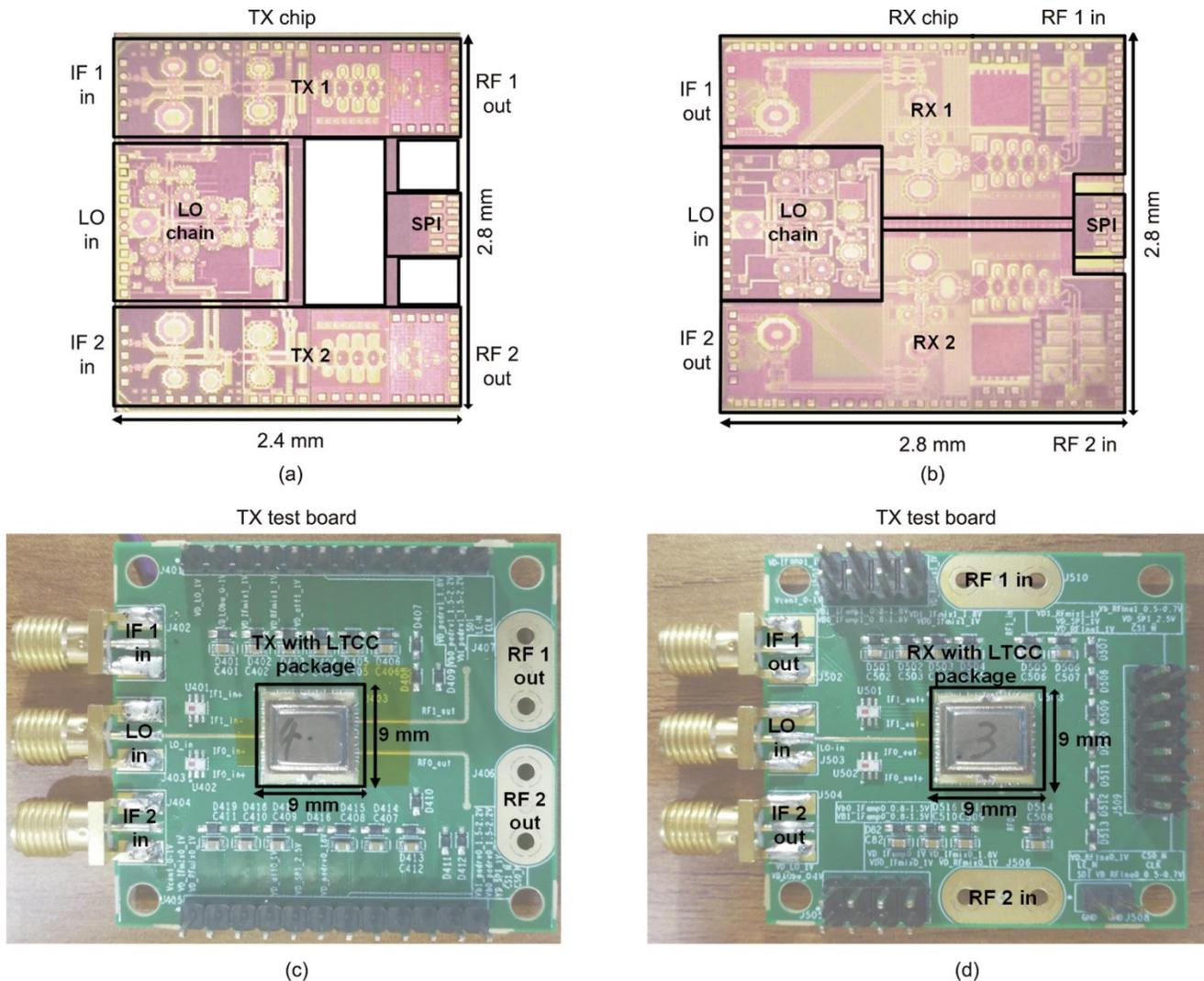


图 16. (a) TX 芯片的模照片；(b) RX 芯片的模照片；(c) LTCC 封装中 TX 前端系统的测试板；(d) LTCC 封装中 RX 前端系统的测试板。转载自参考文献[37]，经 IEEE 许可，©2018。

了TX-RX通信链路的OTA测试，以演示5G NR系统的功能。

5.1. 芯片级和SIP级测量

芯片级和SIP级的测量设置如图17(a)和(b)所示。增益和线性性能的芯片级测量由矢量网络分析仪(VNA)完成。所有DC、SPI I/O、IF和LO焊盘均通过金丝键合线连接到PCB走线。采用芯片外IF巴伦将差分IF信号转换为单端模式进行测量。同时，还开发了一个自动测试系统来捕获SIP级的性能。

图18显示了TX和RX芯片的仿真和测量的RF端口阻抗匹配特性。在36.3~42 GHz范围内，RX芯片的RF端口的反射系数低于-10 dB，而TX芯片在目标频带内的反射系数约为-6 dB。TX芯片的阻抗匹配相对较差的原因是，为了提高输出功率和功率效率，牺牲了PA的反射系数。由于输出匹配相对较差，CMOS TX芯片与GaAs PA之间

发生交互，TX系统的增益和输出功率在一定程度上降低。然而，CMOS TX的 OP_{1dB} 有一个接近2 dBm的余量，可以调整衰减器和输入信号功率来补偿损失。SIP级的仿真和测量如图18所示，该仿真及测量考虑了PCB传输线和2.92 mm的连接器。可以观察到，SIP级测量的反射系数与芯片级反射系数吻合得很好，表明与封装相关的RF性能下降得到了显著缓解。

用LTCC封装的TX和RX信道的测量转换增益如图19(a)、(b)所示，在38.5 GHz时分别约为52.2 dB和11.3 dB。IF巴伦和连接器的损耗在测试中被消除。从图19中也可以看出，TX/RX芯片所实现的RF带宽大于2 GHz。对于多信道片上系统，信道隔离是另一个关键指标。因此，本研究测量了封装中TX和RX前端系统的信道隔离情况，如图19所示。得益于所使用的芯片和封装的完全对称布局，RX系统的信道隔离度在37~40 GHz中

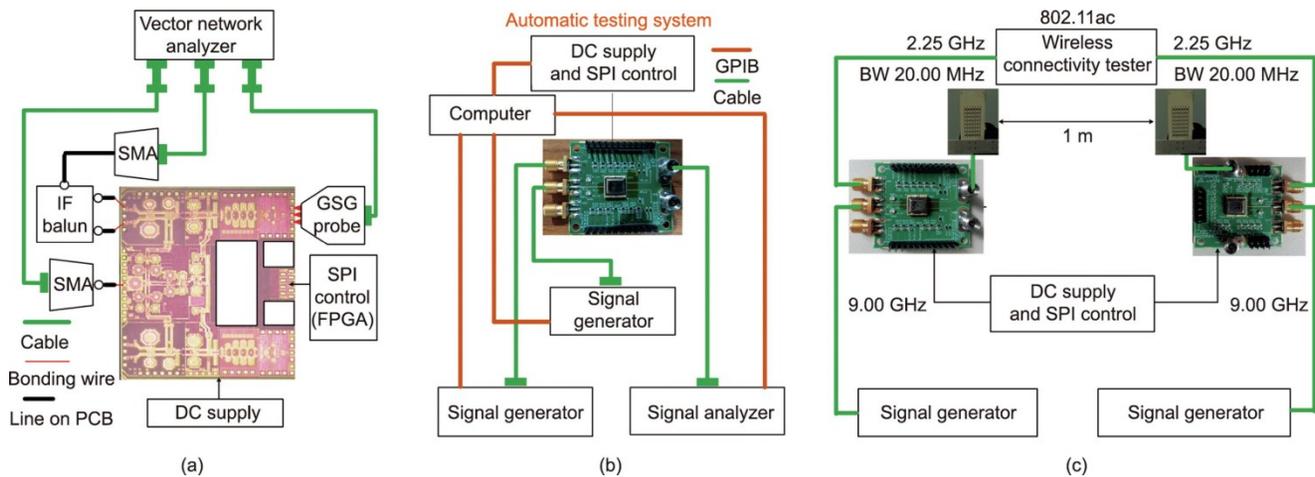


图17. 测量值的设置。(a) 片上测试；(b) SIP级测试；(c) 单信道TX到RX无线链路的测试。FPGA：现场可编程门阵列；SMA：小A型；GPIB：通用接口总线；BW：带宽。

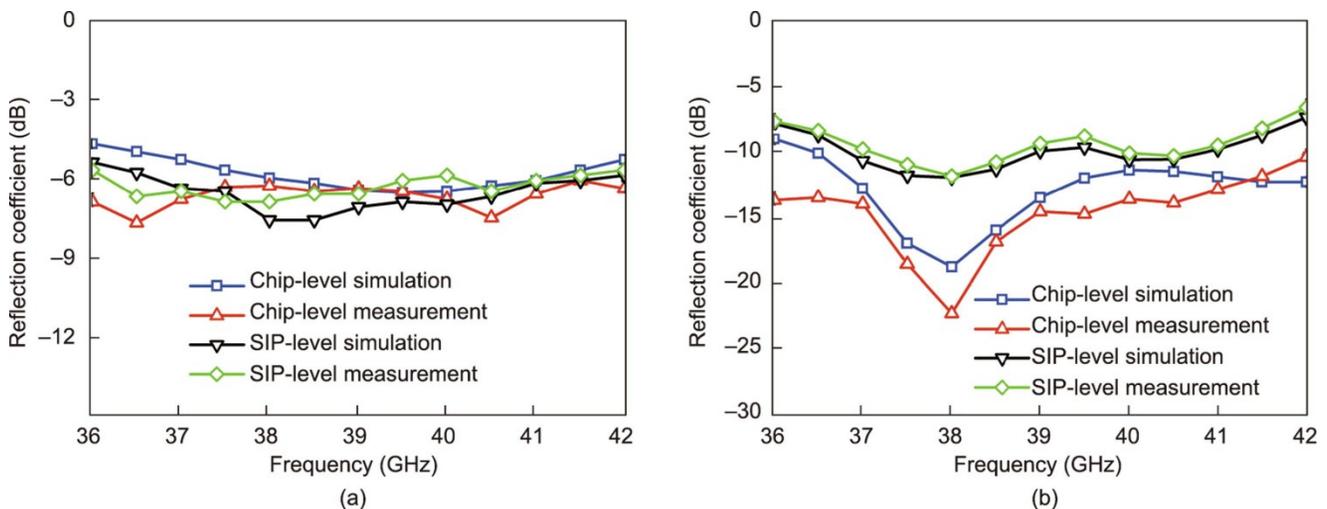


图18. 使用和不使用封装时测量和仿真的反射系数。(a) TX；(b) RX。

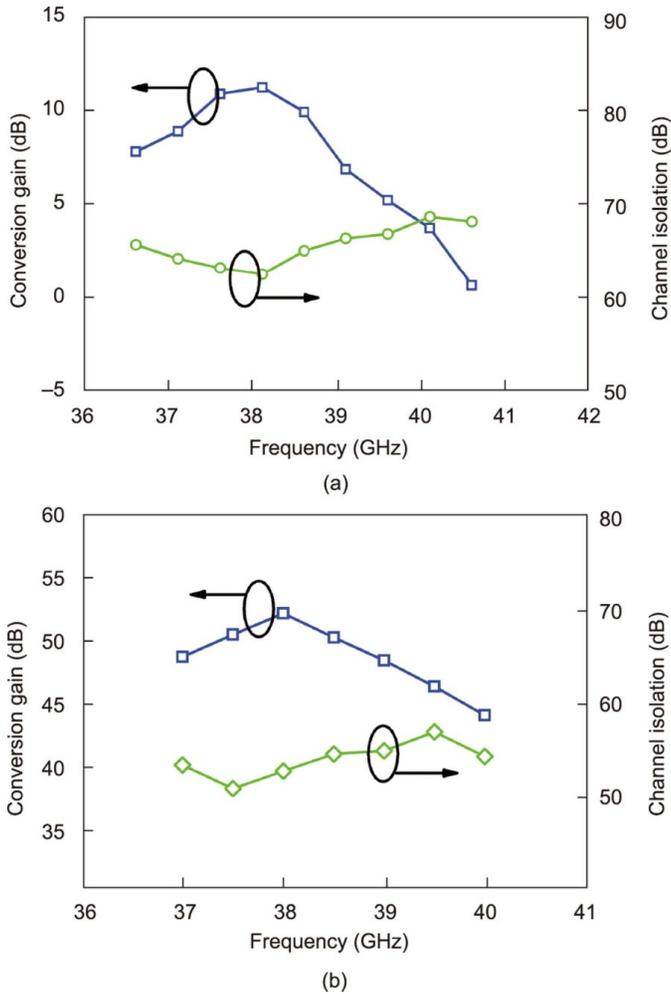


图19. TX SIP (a) 和 RX SIP (b) 的最大增益和信道隔离度。

优于 51 dB，而 TX 系统的信道隔离度则高于 60 dB。TX SIP 和 RX SIP 与 IF 频率的 32 个测量增益阶段见图 20 (a) 和 (b)，测量的增益变化范围约为 33 dB，略大于 31 dB 的期望值。其主要原因是衰减单元对相邻单元的阻抗很敏感，特别是 8 dB 和 16 dB 衰减单元。此外，对无源结构的电磁仿真的偏差也可能导致增益调谐范围的扩大。因此，测量的收发机的均方根增益误差比衰减器的仿真结果要差。如图 20 (c) 所示，TX 芯片为 2.8 dB，RX 芯片为 1.3 dB。

图 21 (a) 为测量的 OP_{1dB} 和饱和输出功率 (P_{sat})，在 38.5 GHz 时分别为 5.4 dBm 和 10.0 dBm。与 PA 的布局后仿真结果相比，测试的 TX 的线性度下降了约 2 dBm。可能的原因是，该芯片的工作温度高于在电路仿真软件的仿真环境中所设置的工作温度。另一个原因可能是输出匹配巴伦的损失比电磁仿真损失更差。在 37~40 GHz 的频带内，TX 信道的 P_{sat} 超过 8.4 dBm。测量的 OP_{1dB} 和 RX SIP 的 NF 如图 21 (b) 所示。在最大增益状态下，在 37~40 GHz 中，RX 获得超过 7.2 dBm 的 OP_{1dB} ，NF 小于 5.4 dB。

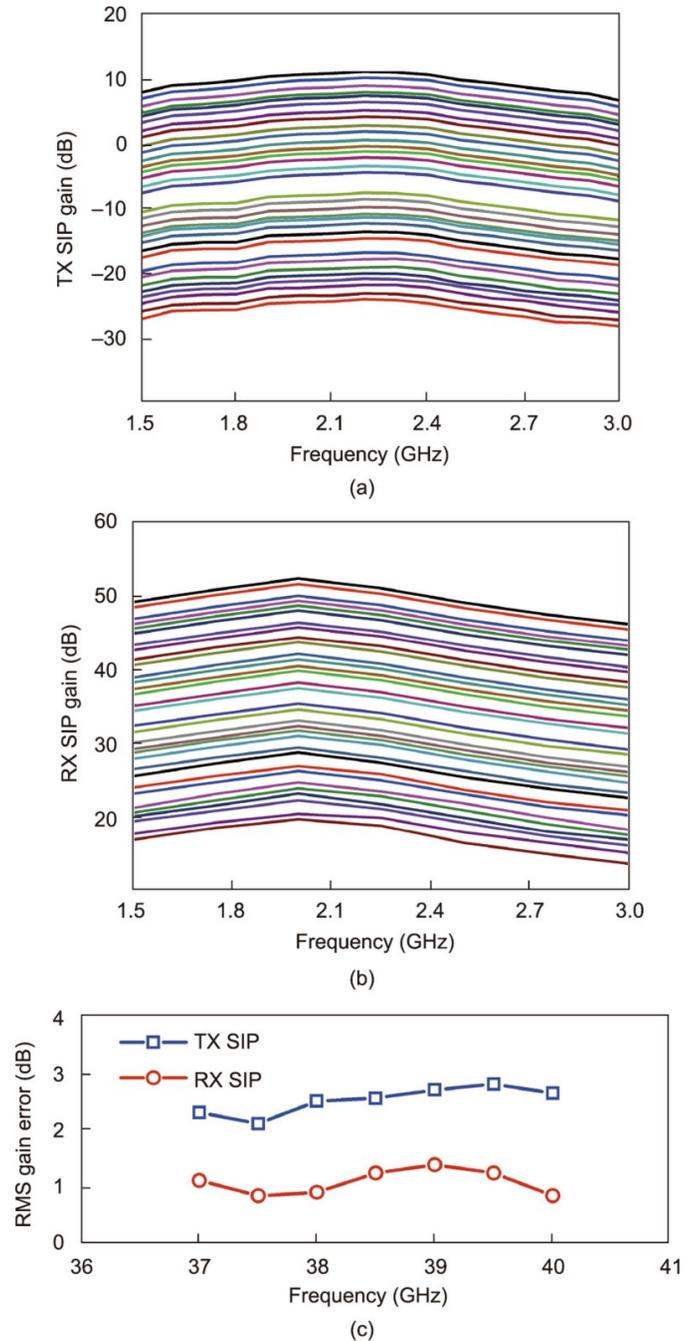


图 20. 测量了 32 个增益状态。(a) TX SIP; (b) RX SIP; (c) TX SIP 和 RX SIP 的 RMS 增益误差。

当 RX SIP 运行在最小增益状态时， IP_{1dB} 比 -23 dBm 要好。因此，RX 芯片实现了在第 2 节中介绍的目标规格。图 22 (a) 和 (b) 描述了 TX/RX SIP 的测量输出功率和 LO 泄漏功率，当 IF、LO 和 RF 频率分别设置为 2.5 GHz、9.0 GHz 和 38.5 GHz 时进行测试。注意，TXSIP 的主要杂散是 3LO 分量和 3LO + LO 分量，它们分别是混频器的 LO 端口泄漏至 RF 端口的高阶本振信号以及由 RF 混频器与 IF 混频器泄漏的本振信号相互调制产生的信号。然而，RX

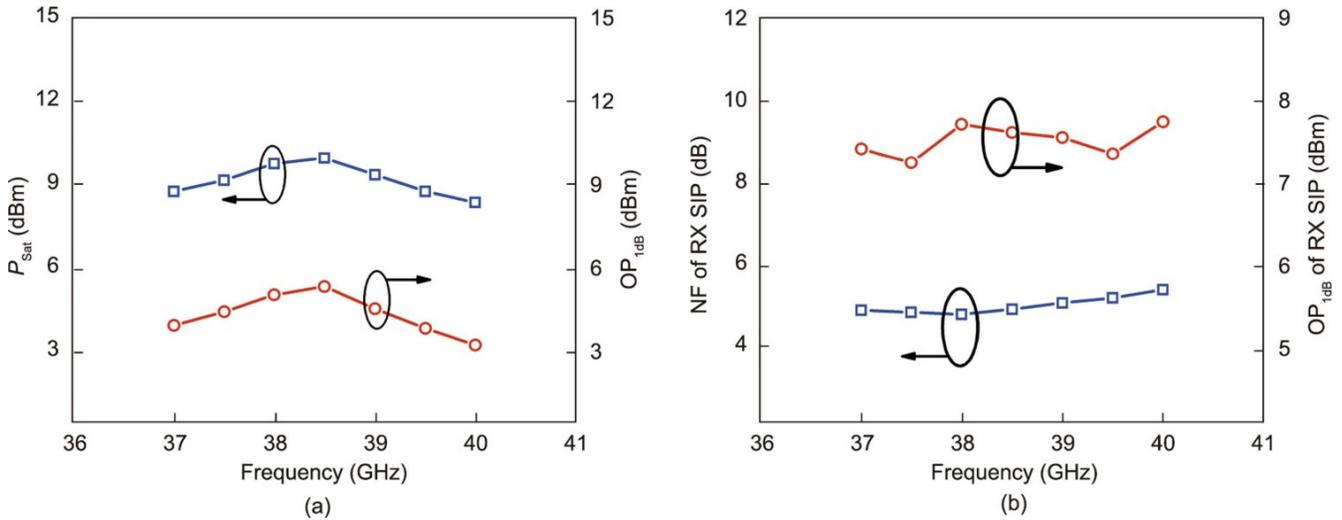


图21. (a) 测量的TX SIP的 OP_{1dB} 和 P_{sat} ; (b) 测量的RX SIP的NF和 OP_{1dB} 。

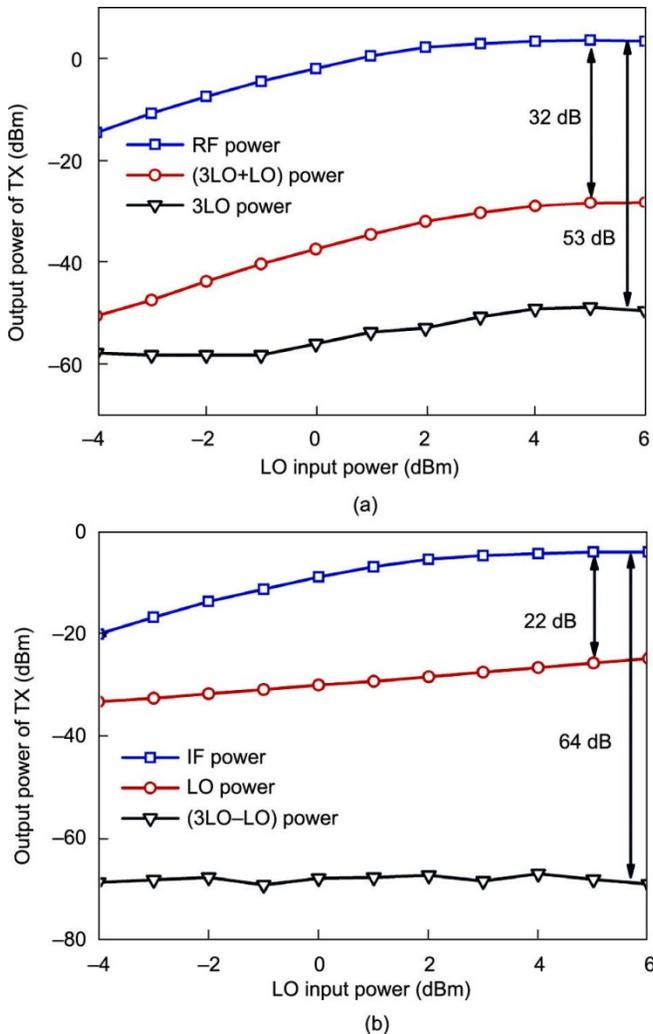


图22. 测试的输出功率和LO组件的泄漏功率。(a) TX SIP; (b) RX SIP。

SIP的杂散是从IF混频器的LO端口泄漏至IF端口的本振信号以及由RF混频器与IF混频器泄露的本振信号相互调

制产生的3LO-LO分量。当LO输入功率为5 dBm时，测量的TX SIP的杂散抑制制度大于32 dB [图22 (a)]，而RX SIP在目标频段上的杂散抑制大于22 dB [图22 (b)]。

5.2. 无线通信链路测量

如图17 (c)所示，设置了两个增益为20 dBi的单信道TX-RX通信链路。TX到RX的距离为1 m。本研究使用了无线连接测试仪来评估EVM的性能。输入IF信号基于IEEE 802.11ac标准，带宽20 MHz，载波2.25 GHz（受使用设备限制）。图23显示了接收信号的频谱和星图。在TX信道的峰值输入信号功率为-2.3 dBm下，测试的单信道TX到RX的EVM和频谱效率在64-QAM调制下分别为3.72%和3.25 bit·s⁻¹·Hz⁻¹。通过256-QAM调制，实现了3.76%的EVM和3.9 bit·s⁻¹·Hz⁻¹光谱效率。

Modulation	64-QAM	256-QAM
Spectrum		
Constellation		
Spectral efficiency	3.25 bit·s ⁻¹ ·Hz ⁻¹	3.90 bit·s ⁻¹ ·Hz ⁻¹
TX-to-RX EVM	3.72%	3.76%

图23. 测量的星图、频谱效率和TX到RX的EVM。转载自参考文献[37]，经IEEE许可，©2018。

5.3. 39 GHz多波束MIMO原型机

利用CMOS收发机芯片组，开发了一个39 GHz的MIMO原型机[48]，如图24所示。采用图2(b)所示的动态多波束架构，该原型包括4个CMOS TX芯片和4个RX芯片。因此，该原型系统有8个TX信道和8个RX信道，可以支持8个独立的波束用于MIMO操作。波束形成器由基于SIW的罗特曼透镜和基于SIW的缝隙天线阵列设计，具有20 dBi增益。测量结果表明，每个TX信道在 OP_{1dB} 处达到的EIRP超过52 dBm，而RX信道的37~40 GHz的NF小于7.6 dB。

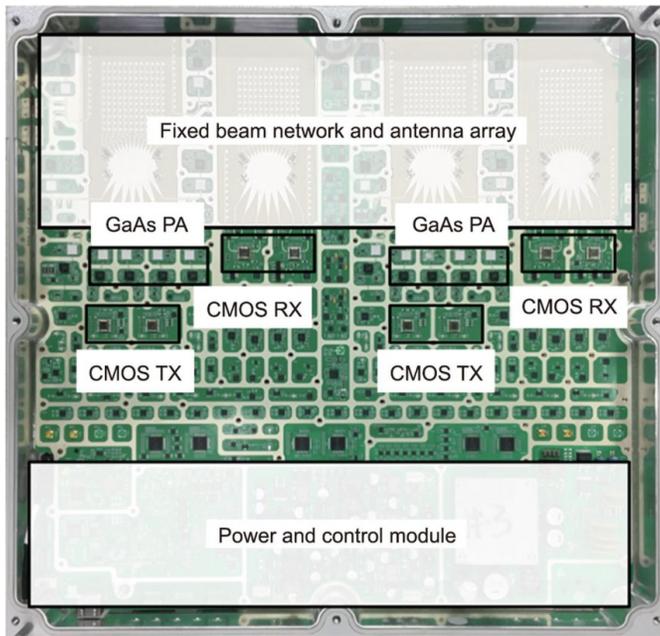


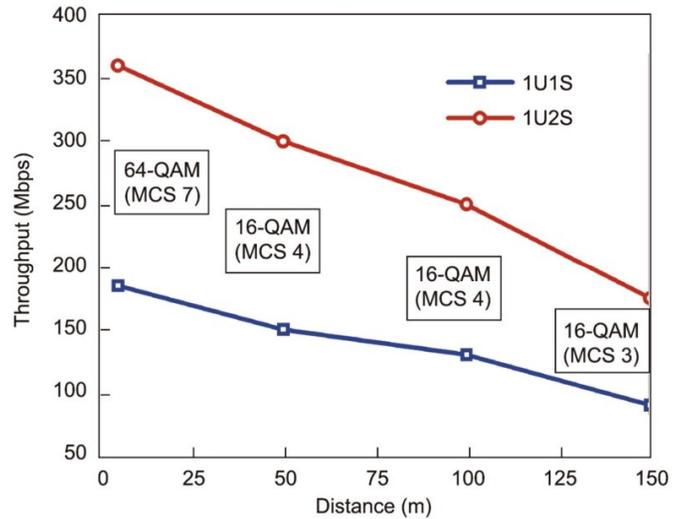
图24. 39GHz多波束MIMO原型机。转载自参考文献[48]，经IEEE许可，©2018。

本研究演示了将单流(1S)和双流(2S)传输到单用户设备(SUE)的在线户外通信链路，以评估39 GHz MIMO系统的整体性能。图25(a)为室外无线通信的测量设置。工作距离为5~150 m。该OTA通信链路是基于两组接入点设备(APE)的通信。IF信号也采用IEEE 802.11ac标准，带宽为80 MHz。不同调制方案下1S和2S的下行吞吐量如图25(b)所示，在5 m、50 m、100 m和150 m处1S传输的下行链路吞吐量分别为每秒185、150、130和90兆比特(Mbps)。为了满足不同工作距离的EIRP和线性要求，采用衰减器对输出功率进行调整，对TX信道的增益误差进行校准，增加RX信道的动态范围。由于CMOS T/RX具有良好的EVM性能，所提出的MIMO系统仍然可以在150 m的距离上支持16-QAM(调制和编码方案3)的调制。在2S传输中，原型系统的测试吞吐量几乎

是1S传输的两倍[图25(b)]，因此所提出的架构在毫米波体制下的多波束应用中是可行的。



(a)



(b)

图25. (a) 5G MIMO原型的OTA测量设置；(b) 测量的下行吞吐量和5~150 m范围内的调制方案。MCS: 调制和编码方案；1U1S: 一个用户具有一个流信号；1U2S: 一个用户具有两个流信号。转载自参考文献[48]，经IEEE许可，©2018。

本文总结了前端芯片组的总体性能，并与表3[10-11, 26,33,49-50]中最先进的5G毫米波收发机进行了比较。与表3中的其他工作相比，本文提出的收发机芯片组在功耗相当的情况下，获得了33 dB的最大增益范围和出色的NF及线性度。

6. 结论

本文提出并演示了适用于5G毫米波的39 GHz收发机芯片组。每个TX/RX芯片集成了两个可变增益变频信道，可以同时支持两个独立的波束。引入了多种电路技术和新版图布局来改善毫米波前端系统的整体性能。此外，针对

表3 性能总结和与最先进的5G毫米波收发机的比较

Reference	Process	Architecture	Package	Frequency (GHz)	Channel per chip	MIMO streams	Maximum gain (dB)			TX P_{Sat} (dBm)	RX $\text{OP}_{1\text{dB}}$ (dBm)	RX NF_{min} (dB)	TX-to-RX EVM	P_{DC} (mW)		Chip size (mm ²)	
							TX	RX	RX					TX	RX	TX	RX
Ref. [10]	65 nm CMOS	Phased-array	Flip chip	39	4 TX+RX	1	7.0	3	N/A	N/A	14.0	-9	7.7	1500	500	3.00 × 4.00	
Ref. [11]	65 nm CMOS	Dual polarization + MIMO	Flip chip	28	8 TX+RX	4	20.0	17	N/A	N/A	15.1	N/A	4.2	2000	900	3.00 × 4.00	
Ref. [26]	65 nm CMOS	Full-connected phased-array	Chip on board	28/37	8 TX+RX	2	43.5/40.0	44/37	22	42	15.5/15.6	14	7.9/8.8	1350	790	2.30 × 5.50	
Ref. [33]	45 nm RF-SOI	MIMO TX	Flip chip	60	4 TX	4	20.0-35.0	N/A	N/A	N/A	9.1-12.5	N/A	N/A	880	N/A	3.20 × 4.90	
Ref. [49]	65 nm CMOS	MIMO + digital beamforming	Chip on board	28	4 RX	4	N/A	16	N/A	N/A	N/A	N/A	6.0	N/A	248	1.95 × 2.95	
Ref. [50]	180 nm SiGe BiCMOS	Dual Polarization + phased-array	Flip chip	28	8 TX+RX	2	21.0	18	25	25	12 ^a	-4	4.8	1760	1200	4.80 × 4.80	
This work	65 nm CMOS	Multi-beam MIMO	LTCC	39	2TX, 2RX	2	11.1	52	33	33	10	7.7	5.4	440	370	2.80 × 2.40 × 2.80	

P_{DC} : DC power consumption; BiCMOS: bipolar complementary metal-oxide semiconductor; N/A: no answer; SOI: silicon-on-insulator.
^a $P_{1\text{dB}}$.

39 GHz 收发芯片组，还开发了一个具有优异 RF 性能的 TX 和 RX 共享 LTCC 封装结构。TX 到 RX 通信链路测量特性表明，所提出的 39 GHz 收发机芯片组可以支持 256-QAM 的调制信号传输。基于 CMOS 收发机芯片组，还开发了一个 39 GHz 多波束 MIMO 原型系统。OTA 通信测试表明，原型机在 5~150 m 的距离上成功地实现了多波束传输的运行。因此，所提出的 CMOS 收发机和动态多波束架构适用于毫米波 MIMO 的应用。本文为 5G 毫米波通信提供了一个潜在的解决方案。

致谢

本研究由国家自然科学基金项目(62171102 和 61931007)及国家重点研发计划项目(2020YFB1805003)支持完成。

Compliance with ethics guidelines

Yiming Yu, Zhilin Chen, Chenxi Zhao, Huihua, Liu, Yunqiu Wu, Wen-Yan Yin, and Kai Kang declare that they have no conflict of interest or financial conflicts to disclose.

References

- [1] Carlson EK. What will 5G bring? *Engineering* 2020;6(7):725–7.
- [2] Sadhu B, Tousei Y, Hallin J, Sahl S, Reynolds SK, Renström Ö, et al. A 28 GHz 32-element TRX phased-array IC with concurrent dual-polarized operation and orthogonal phase and gain control for 5G communications. *IEEE J Solid State Circuits* 2017;52(12):3373–91.
- [3] Kibaroglu K, Sayginer M, Rebeiz GM. A low-cost scalable 32-element 28 GHz phased array transceiver for 5G communication links based on a 2×2 beamformer flip-chip unit cell. *IEEE J Solid State Circuits* 2018;53(5):1260–74.
- [4] Chen CN, Lin YH, Hung LC, Tang TC, Chao WP, Chen CY, et al. 38 GHz phased array transmitter and receiver based on scalable phased array modules with endfire antenna arrays for 5GMMWdata links. *IEEE Trans Microw Theory Tech* 2021;69(1):980–99.
- [5] Yang B, Yu Z, Lan J, Zhang R, Zhou J, Hong W. Digital beamforming-based massive MIMO transceiver for 5G millimeter-wave communications. *IEEE Trans Microw Theory Tech* 2018;66(7):3403–18.
- [6] Mondal S, Singh R, Hussein AI, Paramesh J. A 25–30 GHz fully-connected hybrid beamforming receiver for MIMO communication. *IEEE J Solid State Circuits* 2018;53(5):1275–87.
- [7] Yeh YS, Floyd BA. Multibeam phased-arrays using dual-vector distributed beamforming: architecture overview and 28 GHz transceiver prototypes. *IEEE Trans Circuits Syst I Regul Pap* 2020;67(12):5496–509.
- [8] Vook FW, Ghosh A, Thomas TA. MIMO and beamforming solutions for 5G technology. In: *Proceedings of IEEE MTT-S International Microwave Symposium (IMS2014)*; 2014 Jun 1–6; Tampa, FL, USA; 2014.
- [9] Ayach OE, Rajagopal S, Abu-Surra S, Pi Z, Heath RW. Spatially sparse precoding in millimeter wave MIMO systems. *IEEE Trans Wirel Commun* 2014;13(3):1499–513.
- [10] Wang Y, Wu R, Pang J, You D, Fadila AA, Saengchan R, et al. A 39 GHz 64-element phased-array transceiver with built-in phase and amplitude calibrations for large-array 5G NR in 65-nm CMOS. *IEEE J Solid State Circuits* 2020;55(5):1249–69.
- [11] Pang J, Li Z, Kubozoe R, Luo X, Wu R, Wang Y, et al. A 28 GHz CMOS phased-array beamformer utilizing neutralized bi-directional technique supporting dual-polarized MIMO for 5G NR. *IEEE J Solid State Circuits* 2020;55(9):2371–86.
- [12] Yin Y, Ustundag B, Kibaroglu K, Sayginer M, Rebeiz GM. Wideband 23.5–29.5 GHz phased arrays for multistandard 5G applications and carrier aggregation. *IEEE Trans Microw Theory Tech* 2021;69(1):235–47.
- [13] Dunworth J, Ku BH, Ou YC, Lu D, Mouat P, Homayoun A, et al. 28 GHz phased array transceiver in 28 nm bulk CMOS for 5G prototype user equipment and base stations. In: *Proceedings of IEEE/MTT-S International Microwave Symposium—IMS*; 2018 Jun 10–15; Philadelphia, PA, USA; 2018.
- [14] Park H-C, Kang D, Lee SM, et al. A 39GHz-band CMOS 16-channel phased-array transceiver IC with a companion dual-stream IF transceiver IC for 5G NR base-station applications. In: *Proceedings of IEEE/MTT-S International Microwave Symposium—IMS*; 2018 Jun 10–15; Philadelphia, PA, USA; 2018.
- [15] Yu Y, Zhu J, Zong Z, Tang P, Liu H, Zhao C, et al. A 21-to-41 GHz high-gain low noise amplifier with triple-coupled technique for multiband wireless applications. *IEEE Trans Circuits Syst II Express Briefs* 2021;68(6):1857–61.
- [16] Bailleul PK. A new era in elemental digital beamforming for spaceborne communications phased arrays. *Proc IEEE* 2016;104(3):623–32.
- [17] Ma S, Wu T, Zhang J, Ren JA. 5G wireless event-driven sensor chip for online power-line disturbances detecting network in 0.25 μm GaAs process. *IEEE Trans Ind Electron* 2021;68(6):5271–80.
- [18] Zhu W, Wang J, Lv W, Zhang X, Liao B, Zhu Y, et al. A 24–28 GHz power and area efficient 4-element phased-array transceiver front-end with 21.1%/16.6% transmitter peak/ $\text{OP}_{1\text{dB}}$ PAE supporting 2.4 Gb/s in 256-QAM for 5G communications. In: *Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*; 2020 Aug 4–6; Los Angeles, CA, USA; 2020.
- [19] Yu C, Jing J, Shao H, Jiang ZH, Yan P, Zhu XW, et al. Full-angle digital predistortion of 5G millimeter-wave massive MIMO transmitters. *IEEE Trans Microw Theory Tech* 2019;67(7):2847–60.
- [20] Hong Z, Schonherr S, Chauhan V, Floyd B. Free-space phased-array characterization and calibration using code-modulated embedded test. In: *Proceedings of IEEE MTT-S International Microwave Symposium (IMS)*; 2019 Jun 2–7; Boston, MA, USA; 2019.
- [21] Chan HC, Kuo YJ, Chen WY, Chang SF. A Ku-band CMOS build-in-self-test chip based on phasor-sum detection method for RF beamforming transceivers. In: *Proceedings of IEEE MTT-S International Microwave Symposium (IMS)*; 2017 Jun 4–9; Honolulu, HI, USA; 2017.
- [22] Chen D, Zhang X, Zhang L, Chen L, Sun S, Liu Y, et al. A Ku-band 8-element phased array transmitter with built-in-self-test capability. In: *Proceedings of IEEE/MTT-S International Microwave Symposium—IMS*; 2018 Jun 10–15; Philadelphia, PA, USA; 2018.
- [23] Sowlati T, Sarkar S, Perumana BG, Chan WL, Toda AP, Afshar B, et al. A 60 GHz 144-element phased-array transceiver for backhaul application. *IEEE J Solid State Circuits* 2018;53(12):3640–59.
- [24] Nafe A, Kibaroglu K, Sayginer M, Rebeiz GM. An insitu self-test and self-calibration technique utilizing antenna mutual coupling for 5G multi-beam TRX phased arrays. In: *Proceedings of IEEE MTT-S International Microwave Symposium (IMS)*; 2910 Jun 2–7; Boston, MA, USA; 2019.
- [25] Mondal S, Paramesh J. A reconfigurable 28/37 GHz MMSE adaptive hybrid-beamforming receiver for carrier aggregation and multistandard MIMO communication. *IEEE J Solid State Circuits* 2019;54(5):1391–406.
- [26] Mondal SL, Carley R, Paramesh J. A 28/37 GHz scalable, reconfigurable multi-layer hybrid/digital MIMO transceiver for TDD/FDD and full-duplex communication. In: *Proceedings of A 28/37scalableGHz, reconfigurable multi-layer hybrid/digital MIMO transceiver for TDD/FDD and full-duplex communication*; 202 Feb 16–20; San Francisco, CA, USA; 2020.
- [27] Natarajan A, Valdes-Garcia A, Sadhu B, Reynolds SK, Parker BD. W-band dual-polarization phased-array transceiver front-end in SiGe BiCMOS. *IEEE J Solid State Circuits* 2015;63(6):1989–2002.
- [28] Aljuhani AH, Kanar T, Zahir S, Rebeiz GM. A scalable dual-polarized 256-element Ku-band phased-array SATCOM receiver with $\pm 70^\circ$ beam scanning. In: *Proceedings of IEEE/MTT-S International Microwave Symposium—IMS*; 2018 Jun 10–15; Philadelphia, PA, USA; 2018.
- [29] Roh W, Seol JY, Park J, Lee B, Lee J, Kim Y, et al. Millimeter-wave beamforming as an enabling technology for 5G cellular communications: theoretical feasibility and prototype results. *IEEE Commun Mag* 2014;52(2):106–13.
- [30] Brady J, Hogan J, Sayeed A. Multi-beam MIMO prototype for real-time multiuser communication at 28 GHz. In: *Proceedings of IEEE Globecom*

- Workshops (GC Wkshps); 2016 Dec 4–8; Washington, DC, USA; 2016.
- [31] Duarte VC, Prata JG, Ribeiro C, Nogueira RN, Winzer G, Zimmermann L, et al. Integrated photonic true-time delay beamformer for a Ka-band phased array antenna receiver. In: Proceedings of Optical Fiber Communication Conference; 2018 Mar 11–15; San Diego, CA, USA; 2018.
- [32] Huang MY, Chen YW, Shiu RK, Wang H, Chang GK. A bi-directional multi-band, multi-beam mm-wave beamformer for 5G fiber wireless access networks. *J Lightwave Technol* 2021;39(4):1116–24.
- [33] Binaie A, Ahasan S, Dascarcu A, Dastjerdi MB, Garg R, Johnson M, et al. A scalable 60 GHz 4-element MIMO transmitter with a frequency-domain-multiplexing single-wire interface and harmonic-rejection-based demultiplexing. In: Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC); 2020 Aug 4–6; Los Angeles, CA, USA; 2020.
- [34] Xu JX, Zhang XY. Single- and dual-band LTCC filtering switch with high isolation based on coupling control. *IEEE Trans Ind Electron* 2017;64(4):3137–46.
- [35] Zhang Y. Antenna-in-package (AiP) technology. *Engineering* 2022;11:18–20.
- [36] Kam DG, Liu D, Natarajan A, Reynolds S, Chen HC, Floyd BA. LTCC packages with embedded phased-array antennas for 60 GHz communications. *IEEE Microw Wirel Compon Lett* 2011;21(3):142–4.
- [37] Chen Z, Jiang Z, Liu Z, Cheng Y, Zhang L, Cheng D, et al. A 256-QAM 39 GHz dual-channel transceiver chipset with LTCC package for 5G communication in 65 nm CMOS. In: Proceedings of IEEE/MTT-S International Microwave Symposium—IMS; 2018 Jun 10–15; Philadelphia, PA, USA; 2018.
- [38] Chen P, Hong W, Kuai Z, Xu J, Wang H, Chen J, et al. A multibeam antenna based on substrate integrated waveguide technology for MIMO wireless communications. *IEEE Trans Antennas Propag* 2009;57(6):1813–21.
- [39] Cheng YJ, Hong W, Wu K, Kuai ZQ, Yu C, Chen JX, et al. Substrate integrated waveguide (SIW) Rotman lens and its Ka-band multibeam array antenna applications. *IEEE Trans Antennas Propag* 2008;56(8):2504–13.
- [40] Yu Y, Cao J, Zong Z, Tang P, Yi K, Zhao C, et al. A 68.5–90 GHz high-gain power amplifier with capacitive stability enhancement technique in 0.13 μm SiGe BiCMOS. *IEEE Trans Microw Theory Tech* 2020;68(12):5359–70.
- [41] Razavi B. *RF Microelectronics*. 2nd ed. New Jersey: Prentice Hall Press; 2011.
- [42] Wu R, Minami R, Tsukui Y, Kawai S, Seo Y, Sato S, et al. 64-QAM 60 GHz CMOS transceivers for IEEE 802.11ad/ay. *IEEE J Solid State Circuits* 2018; 52(11):2871–91.
- [43] Chen Z, Liu H, Liu Z, Jiang Z, Yu Z, Wu Y, et al. A 62–85 GHz high linearity up conversion mixer with 18 GHz IF bandwidth. *IEEE Microw Compon Lett* 2019;29(3):219–21.
- [44] Zhao C, Zeng X, Zhang L, Liu H, Yu Y, Wu Y, et al. A 37–40 GHz low-phase imbalance CMOS attenuator with tail-capacitor compensation technique. *IEEE Trans Circuits Syst I Regul Pap* 2020;67(10):3400–9.
- [45] Yu Y, Liu H, Wu Y, Kang K. A 54.4–90 GHz low-noise amplifier in 65 nm CMOS. *IEEE J Solid State Circuits* 2017;52(11):2892–904.
- [46] Zhang J, Liu H, Zhao C, Kang K. A 22.8-to-43.2 GHz tuning-less injection-locked frequency tripler using injection-current boosting with 76.4% locking range for multiband 5G applications. In: Proceedings of IEEE International Solid-State Circuits Conference—(ISSCC); 2018 Feb 11–15; San Francisco, CA, USA; 2018.
- [47] Lee YC, Park CS. A fully embedded 60 GHz novel BPF for LTCC system-in-package applications. *IEEE Trans Adv Packag* 2006;29(4):804–9.
- [48] Li X, Chen Z, Sun S, Zhao C, Liu H, Wu Y, et al. A 39 GHz MIMO transceiver based on dynamic multi-beam architecture for 5G communication with 150 meter coverage. In: Proceedings of IEEE/MTT-S International Microwave Symposium—IMS; 2018 Jun 10–15; Philadelphia, PA, USA; 2018.
- [49] Johnson M, Dascarcu A, Zhan K, Galioglu A, Adepu N, Jain S, et al. A 4-element 28 GHz millimeter-wave MIMO array with single-wire interface using code-domain multiplexing in 65 nm CMOS. In: Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC); 2019 Jun 2–4; Boston, MA, USA; 2019.
- [50] Kibaroglu K, Sayginer M, Nafe A, Rebeiz GM. A dual-polarized dual-beam 28 GHz beamformer chip demonstrating a 24 Gbps 64-QAM 2×2 MIMO link. In: Proceedings of IEEE Radio Frequency Integrated Circuits Symposium (RFIC); 2018 Jun 10–12; Philadelphia, PA, USA; 2018.