Contents lists available at ScienceDirect

Engineering

journal homepage: www.elsevier.com/locate/eng

Research
Wireless Communications—Article

一种应用于5G大规模MIMO系统的低成本混合集成多芯片宽带Doherty功率放大器模块设计

黄飞，吕关胜，吴汇波，陈文华*，冯正和

Department of Electronic Engineering, Tsinghua University, Beijing 100084, China

ARTICLE INFO

Article history:
Received 27 August 2023
Revised 19 November 2023
Accepted 17 January 2024
Available online 28 February 2024

关键词
5G
Doherty 功率放大器
多进多出
多芯片模块
混合集成

摘要

本文针对5G大规模多进多出（MIMO）应用领域，提出了一种基于多芯片模块（MCM）的混合集成宽带Doherty功率放大器（DPA），其有源器件采用氮化镓（GaN）工艺制造，无源电路使用集成无源器件（IPD）并采用砷化镓（GaAs）工艺制造。为了实现更好的带宽性能，本文提出了一种具有低Q输出网络的反向DPA结构，以及一种用于高增益、小面积芯片的单驱动架构。所提出的DPA带宽为4.4~5.0 GHz，可以实现超过45.0 dBm的饱和功率。从37 dBm到饱和功率的增益压缩小于4 dB，平均功率附加效率（PAE）为36.3%，在4.5~5.0 GHz范围内的峰均功率比（PAPR）为8.5 dB。经过数字预失真（DPD）后，测得的邻道功率比（ACPR）优于−50 dBc，表现出令人满意的线性度。

1. 引言

近年来，各行各业不断兴起和发展，对移动数据传输速率的需求大幅增长。为了进一步提高数据传输速率，5G无线系统采用了大规模多进多出（MIMO）技术。大规模MIMO的实施可以提高数据传输速率，扩大服务区域的覆盖范围并提高通信可靠性[1]。要提高数据传输速率，就需要采用更复杂的调制技术和超过100 MHz的更大瞬时信号带宽。这就要求为每根天线配置单独的无线电链路，意味着射频功率放大器（PA）的数量与天线的数量相当，在5G大规模MIMO系统中，PA的数量会达数十个甚至数百个。同时为了便于将其部署于室内、外各类基站中，大规模MIMO发射机要求结构紧凑、体积小。综上原因，对64路甚至128路发射器集成的高性能且经济可行的紧凑型射频设备的需求将不断增大，大规模MIMO发射机需求小型化原件来实现紧凑结构。

复杂的信号密集场景预计将带来各种问题和挑战，为了确保大规模MIMO发射机的良好性能，必须解决这些问题和挑战，同时要考虑能耗效率和应用电路的尺寸问题。由于PA功率消耗巨大且直接影响射频发射器的整体效率，因此业内普遍认为PA是射频发射器中的关键组件。鉴于信号带宽将会扩大，同时所生成的信号将具有较高的峰均功率比（PAPR），要适应5G系统的复杂调制方法，同时在输出功率回退（OPBO）范围内保持高效率，就必

* Corresponding author.
E-mail address: chenwh@tsinghua.edu.cn (W. Chen).

英文原文：Engineering 2024, 38(7): 223–232
引用本文：Fei Huang, Guansheng Lv, Huibo Wu, Wenhua Chen, Zhenghe Feng. A Hybrid Integrated and Low-Cost Multi-Chip Broadband Doherty Power Amplifier Module for 5G Massive MIMO Application. *Engineering*, https://doi.org/10.1016/j.eng.2024.01.017

须采用高效功率放大器。文献中已经提出了几种回退高效PA架构，包括Doherty功率放大器（DPA）[2–6]、包络跟踪（ET）PA [7]和异相PA [8]。根据应用可知采用ET架构是实现节能发射机的有效方法，该架构解决方案在移动终端领域已得到广泛应用。然而，值得注意的是ET设计也存在局限性，尤其是受到包络放大器带宽的限制。在当前系统中，常用信号带宽超过100 MHz，因此在大规模MIMO发射机中使用ET是不切实际的。此外，在异相PA技术中，输入信号被两个恒包络相位调制通道分离，分别经过位于饱和区的高效PA支线，最终在输出端合成为线性放大信号。然而，由于实际物理设备的非理想特性以及对两个PA支线相位匹配度的严格要求，异相PA技术的适应性较差，因此在基站工程设计中很少使用。相比之下，在基站行业内，DPA设计相当普遍，这主要是因为其效率较高，且电路相对来说较为简单。DPA由两条支线组成，并且在主放大器和辅放大器之间具有负载调制。利用阻抗变换促进两条分支之间的交互，即根据包络幅度对供给两条支线的阻抗作出动态调整。主放大器在低功率区域工作，而辅放大器则在功率超过预定功率水平时开始工作。因其性能卓越、设计简单，DPA在大规模MIMO发射机的应用中受到广泛青睐。

射频链路数量的大幅扩增显著扩大了大规模MIMO发射机的规模，导致其系统复杂性提高、面积增大。在传统的基站射频链路中，PA是用印刷电路板（PCB）实现的，其优点是可以根据系统需求灵活更换组件。然而，当在大规模MIMO系统中应用这类设计时，却因其尺寸过大而受到限制。幸而单片微波集成电路（MMIC）在尺寸上具备优势[9–15]，可以在一块芯片上连接一系列无源元件和有源元件来实现微波电路功能。为了实现紧凑型射频发射机系统，最佳方法就是采用由单一工艺制造的全集成MMIC，这样既无需外部匹配元件，也便于芯片封装。与PCB上实现的PA相比，MMIC PA的尺寸大大缩小。然而，全集成MMIC的成本通常很高，因为要用到大量昂贵的氮化镓（GaN）晶圆。尽管制造成本较高，但GaN工艺的功率密度和效率都比较高，因而成为优选。

混合集成是实现低成本高度集成PA的替代解决方案[16–18]；它采用了多芯片模块（MCM）结构，在缩小电子元件尺寸的同时也提高了性能。MCM组件的封装方法取决于用于安装组件的基板介质的类型。在混合集成PA的设计中，仅有源器件芯片采用GaN工艺生产，而匹配和偏置电路则采用其他经济高效的集成无源器件（IPD）工艺实现[19–20]，这种设计在PCB上不占面积。相比于全集成MMIC，如果仅晶体管部分采用GaN芯片实现，其尺寸可缩小至MMIC芯片的20%或更小，从而显著降低成本。

为了降低商业化应用芯片的成本，同时保留GaN工艺的优势，本文介绍了一种基于MCM的混合集成DPA。有源器件采用稳懋半导体公司的0.25 μm GaN高电子迁移率晶体管（HEMT）工艺制造，而所有无源电路则采用稳懋半导体公司的集成砷化镓（GaAs）IPD工艺制造，该工艺可确保良好的介电性能和低损耗。各类芯片通过接合线相互连接，并集成到单个封装中。此外，本设计还考虑了相邻芯片之间的相互耦合效应以及如何实现小型片上电感和传输线路的问题。为了满足频谱带宽和信号失真的要求，通过线性化方法优化视频带宽。最后，将这些芯片安装在一个四层高散热基板上形成10 mm × 6 mm的小型化封装。

本文结构安排如下：第2节和第3节分别介绍了所提出的混合DPA的架构和具体电路设计；第4节详细介绍了封装设计；第5节总结了测量结果；第6节给出了结论。

2. 混合DPA的架构

2.1. 所提DPA的总体结构

基于MCM的混合DPA结构如图1所示。在混合集成方案中，DPA由三部分组成：使用GaN工艺实现的晶体管以及使用GaAs IPD工艺实现的输入网络和输出网络。采用GaAs IPD工艺实现无源匹配网络，是因为它可以与GaN工艺在栅格阵列（LGA）中或方形扁平无引脚（QFN）封装中进行集成。此外，GaAs IPD工艺还具有更显著的性能优势，采用GaAs IPD工艺实现的无源器件比采用GaN工艺具有更高的Q值，从而降低了匹配网络的损耗，提高了输出功率和效率。同时GaAs IPD工艺提供了更多的金属层，可灵活实现各种无源电路，如宽边耦合微带线。最后，将晶体管的GaN芯片和无源匹配网络的

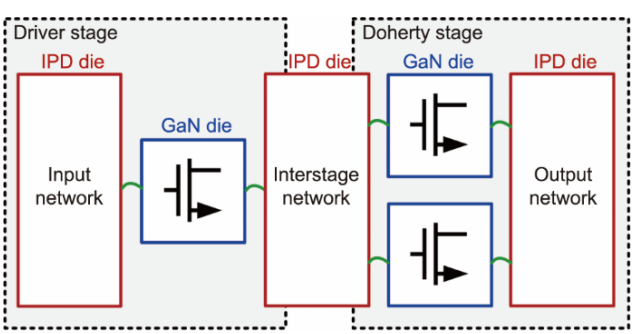

图1. 所提多芯片模块的架构。

GaAs芯片置于同一基板上并用键合线连接起来，形成一个完整的芯片。

如图1所示，为了满足更高的增益要求，采用了两级PA级联。该芯片主要包括一个驱动级和一个Doherty级。作为芯片的核心部分，Doherty级采用基于低Q值网络的反向Doherty结构来实现宽带有源负载调制。所提出的设计技术旨在通过整合主放大器和辅放大器的输入匹配网络设计、功率分配器和驱动放大器（DA）的输出网络，从而减小芯片的尺寸。同时，主放大器和辅放大器的输出匹配网络也与输出组合网络相结合。晶体管和焊盘电路采用GaN工艺，而其他无源网络则采用其他工艺。驱动级采用单驱动结构，以实现高增益。下文将详细讨论这些技术。

2.2. 基于低Q值网络的宽带DPA

在图2（a）所示的典型DPA配置中，主放大器和辅放大器的匹配网络与输入功分网络及输出合路网络是分别独立开发的。DPA中的阻抗调制是由$\lambda/4$传输线（T线）实现的，这限制了DPA的带宽性能。在本设计中，采用了反向Doherty架构实现宽带负载调制。如图2（b）所示，与传统DPA相比，在辅路径中增加了两条额外的$\lambda/4$传输线，引入了额外的谐振，从而提高了有源负载调制的带宽性能。采用双端口Z参数（其端口分别为主PA和辅PA的输出端P_1和P_2）详细描述带宽的增加情况。对于传统DPA，$\lambda/4$传输线的$\boldsymbol{ABCD}$矩阵可表示如下：

$$\begin{bmatrix} \boldsymbol{A} & \boldsymbol{B} \\ \boldsymbol{C} & \boldsymbol{D} \end{bmatrix} = \begin{bmatrix} \cos\theta & \mathrm{j}R_{\mathrm{opt}}\sin\theta \\ \mathrm{j}\sin\theta/R_{\mathrm{opt}} & \cos\theta \end{bmatrix} \tag{1}$$

式中，θ表示主PA和辅PA之间的相位差，j为虚部，R_{opt}为最佳负载阻抗。Z参数可由等式（1）得出：

$$\begin{cases} Z_{11} = \dfrac{\cos\theta + 2\mathrm{j}\sin\theta}{2\cos\theta + \mathrm{j}\sin\theta} R_{\mathrm{opt}} \\ Z_{22} = \dfrac{\cos\theta}{2\cos\theta + \mathrm{j}\sin\theta} R_{\mathrm{opt}} \\ Z_{12} = Z_{21} = \dfrac{1}{2\cos\theta + \mathrm{j}\sin\theta} R_{\mathrm{opt}} \end{cases} \tag{2}$$

根据Z参数，主放大器和辅放大器的基波电压（V_{m}、V_{a}）与基波电流（I_{m}、I_{a}）之间的关系可用等式（3）表示：

$$\begin{cases} V_{\mathrm{m}} = Z_{11}I_{\mathrm{m}} + Z_{12}I_{\mathrm{a}} \\ V_{\mathrm{a}} = Z_{21}I_{\mathrm{m}} + Z_{22}I_{\mathrm{a}} \end{cases} \tag{3}$$

鉴于晶体管的输入电压和饱和输入电压分别为V_{in}和$V_{\mathrm{in,max}}$，归一化输入电压α可表示如下：

$$\alpha = V_{\mathrm{in}}/V_{\mathrm{in,max}} \tag{4}$$

晶体管基波电流的饱和幅度为$I_{\mathrm{max}}/2$，基于归一化输入电压α的主、辅放大器电流为：

$$I_{\mathrm{m}} = \alpha(I_{\mathrm{max}}/2) \tag{5}$$

$$I_{\mathrm{a}} = \begin{cases} 0, & 0 \le \alpha < 0.5 \\ (\alpha - 0.5)I_{\mathrm{max}}\mathrm{e}^{-\mathrm{j}\theta}, & 0.5 \le \alpha < 1.0 \end{cases} \tag{6}$$

式中，$\mathrm{e}^{-\mathrm{j}\theta}$表示辅PA电流的相位超前于PA电流$\theta$。将式（2）、（5）、（6）代入式（3），就可以清楚地表示主放大器和辅放大器的基波电压。然后，就可以计算出漏极效率（DE）的表达式。传统DPA在不同频率下的DE曲线如图3（a）所示。很明显，当工作频率偏离中心频率时，漏极效率会显著下降。因此，基于传统结构很难实现宽带DPA [21]。

所提基于低Q输出网络的反向Doherty架构将公共负载R_{L}（负载阻抗）改进为R_{opt}（最佳负载阻抗）。该架构将主放大器后传输线的特性阻抗增加到$\sqrt{2}R_{\mathrm{opt}}$，并在辅放大器后引入两条特性阻抗分别为$\sqrt{2}R_{\mathrm{opt}}$和R_{opt}的$\lambda/4$传输

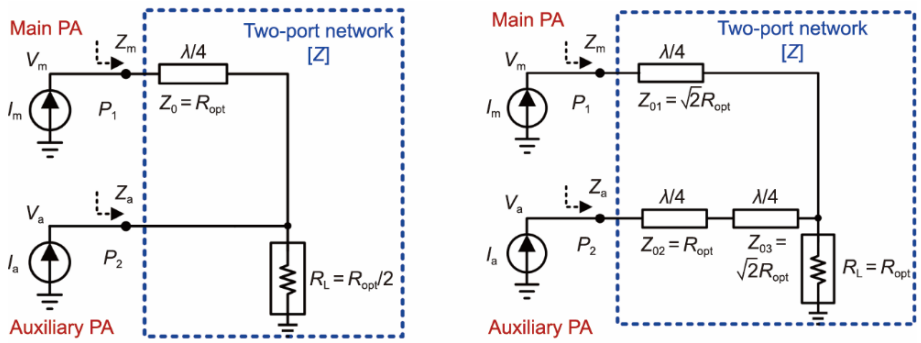

图2. 传统DPA（a）和反向DPA（b）的架构。V_{m}：主放大器的基波电压；V_{a}：辅放大器的基波电压；I_{m}：主放大器的基波电流；I_{a}：辅放大器的基波电流；Z_{m}：主PA的阻抗；Z_{a}：辅PA的阻抗；Z_0、Z_{01}~Z_{03}：对应传输线的特性阻抗；λ：波长；R_{opt}：最佳负载阻抗；R_{L}：负载阻抗；P_1、P_2：主PA和辅PA的输入节点。

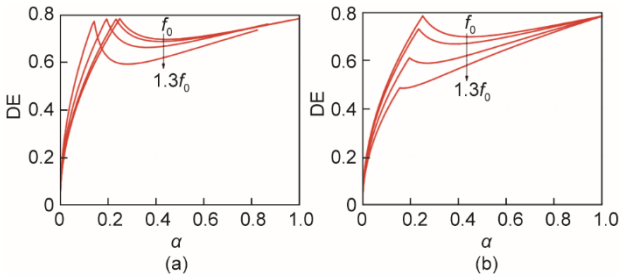

图3. 传统DPA（a）和反向DPA（b）的DE曲线。f_0：中心频率。

线。与传统DPA相比，所提出的架构在饱和区和回退区的阻抗转换率均为2，这将大大扩展带宽。主放大器后$\lambda/4$传输线的传输矩阵可表示如下：

$$\begin{bmatrix} \boldsymbol{A}_1 & \boldsymbol{B}_1 \\ \boldsymbol{C}_1 & \boldsymbol{D}_1 \end{bmatrix} = \begin{bmatrix} \cos\theta & \mathrm{j}\sqrt{2}\,R_{\mathrm{opt}}\sin\theta \\ \mathrm{j}\sin\theta/(\sqrt{2}\,R_{\mathrm{opt}}) & \cos\theta \end{bmatrix} \tag{7}$$

辅放大器后两条级联$\lambda/4$传输线的传输矩阵可写为：

$$\begin{bmatrix} \boldsymbol{A}_2 & \boldsymbol{B}_2 \\ \boldsymbol{C}_2 & \boldsymbol{D}_2 \end{bmatrix} = \begin{bmatrix} \dfrac{(\sqrt{2}+1)\cos(2\theta)+\sqrt{2}-1}{2\sqrt{2}} & \mathrm{j}\dfrac{(\sqrt{2}+1)R_{\mathrm{opt}}\sin(2\theta)}{2} \\ \mathrm{j}\dfrac{(\sqrt{2}+1)R_{\mathrm{opt}}\sin(2\theta)}{2\sqrt{2}\,R_{\mathrm{opt}}} & \dfrac{(\sqrt{2}+1)\cos(2\theta)-\sqrt{2}+1}{2} \end{bmatrix} \tag{8}$$

根据公式（7）和公式（8），Z参数可表示如下：

$$\begin{cases} Z_{11} = \dfrac{\boldsymbol{A}_1\boldsymbol{D}_2R_{\mathrm{opt}}+\boldsymbol{B}_1(\boldsymbol{D}_2+\boldsymbol{C}_2R_{\mathrm{opt}})}{\boldsymbol{C}_1\boldsymbol{D}_2R_{\mathrm{opt}}+\boldsymbol{D}_1(\boldsymbol{D}_2+\boldsymbol{C}_2R_{\mathrm{opt}})} \\ Z_{22} = \dfrac{\boldsymbol{A}_2\boldsymbol{D}_1R_{\mathrm{opt}}+\boldsymbol{B}_2(\boldsymbol{D}_1+\boldsymbol{C}_1R_{\mathrm{opt}})}{\boldsymbol{C}_2\boldsymbol{D}_1R_{\mathrm{opt}}+\boldsymbol{D}_2(\boldsymbol{D}_1+\boldsymbol{C}_1R_{\mathrm{opt}})} \\ Z_{12}=Z_{21}=\dfrac{R_{\mathrm{opt}}}{\boldsymbol{C}_2\boldsymbol{D}_1R_{\mathrm{opt}}+\boldsymbol{D}_2(\boldsymbol{D}_1+\boldsymbol{C}_1R_{\mathrm{opt}})} \end{cases} \tag{9}$$

当低Q值输出网络的$\alpha<0.5$时，主放大器将达到饱和，从而导致主PA在过激状态工作，甚至烧毁。因此，所提低Q值反向DPA的主放大器和辅放大器电流表示如下：

$$I_{\mathrm{m}} = \alpha\,(I_{\max}/2) \tag{10}$$

$$I_{\mathrm{a}} = \begin{cases} 0, & 0\le\alpha<\tau \\ \dfrac{\alpha-\tau}{1-\tau}I_{\max}\mathrm{e}^{-\mathrm{j}\theta}, & \tau\le\alpha<1 \end{cases} \tag{11}$$

式中，τ表示主PA首次达到饱和时的归一化输入电压。

图3（b）所示的DE计算结果与传统DPA类似。与图3（a）相比，非中心频率的回退效率显著提高，但由于饱和区低Q网络的阻抗转换率不为1，因此饱和功率效率有所下降。由于在实际应用中DPA大部分时间都在回退区工作，因此所提出的低Q结构可以扩大DPA的带宽。

2.3. 驱动级结构

由于驱动级不同，在级联电路中采用Doherty技术可以衍生出三种不同的结构，如图4所示。驱动级的加入会增加直流功耗并降低整体效率，但在不同的驱动结构下，效率的降低程度是不同的。图5显示了假设所有PA都在理想B类状态下工作、增益恒定、不同级相互隔离的情况下，两种驱动结构在不同末级增益条件下的整体效率曲线。可以看出，Doherty驱动结构和单驱动结构的饱和效率相同，但Doherty驱动结构的回退效率始终更高；此外，末级增益越低，Doherty驱动结构在回退效率方面的优势就越明显。然而，考虑实际设计中的非理想因素，这一结论并不合理。为了确保合理的导通时序，DPA中的辅PA通常在C类状态偏置，这会降低饱和区的增益。DPA的输入网络需要一个功率分配器，而该功率分配器将在OPBO区域引入至少3 dB的增益损耗，从而使Doherty驱动结构的整体增益最低。此外，如果驱动级也采用Doherty结构，线性度将进一步恶化，增加数字预失真（DPD）的难度。由于增益和线性度方面的缺点，在实际产品中很少使用Doherty驱动结构。

对于双驱动动结构，辅PA之前的DA在C类状态下偏置并且在回退区域不工作。显然，单驱动结构中的DA需要在回退区域提供更多的功率，因此直流功耗更高，导致整体回退效率更低。图6给出了在不同末级增益条件下单驱动结构和双驱动结构的6 dB回退效率。如图6所示，双驱动结构的效率始终高于单驱动结构的效率。然而，由于单级放大器的增益较低，双驱动结构通常用于毫米波频

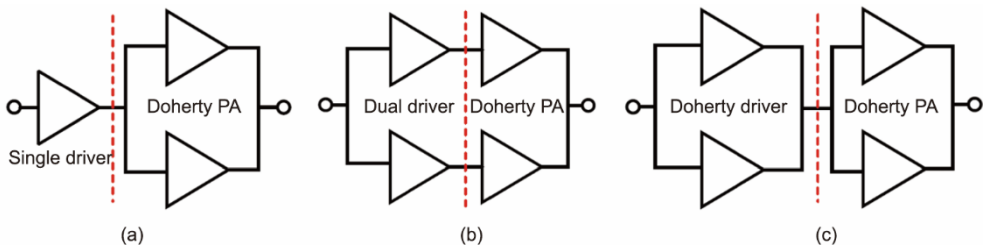

图4. 单驱动结构（a）、双驱动结构（b）和Doherty驱动结构（c）。

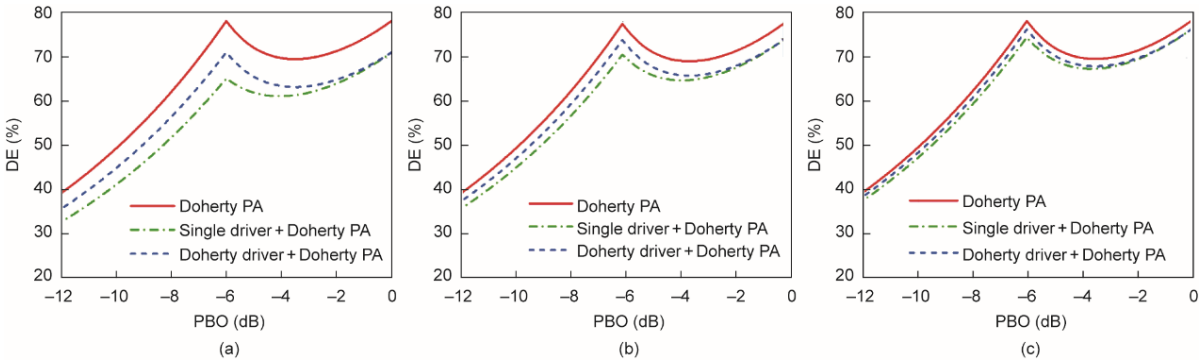

图5. 不同末级增益条件下的DE曲线。（a）10 dB；（b）13 dB；（c）16 dB。PBO：功率回退。

段[22]。双驱动结构的效率优势并不明显，并且在低频（6 GHz以下）时芯片面积较大。因此，在所提出的设计中采用单驱动结构[23]。单驱动PA的输出匹配网络和DPA的输入网络可以组合成级间匹配网络。因此，两级级联混合集成方案由五个部分组成。

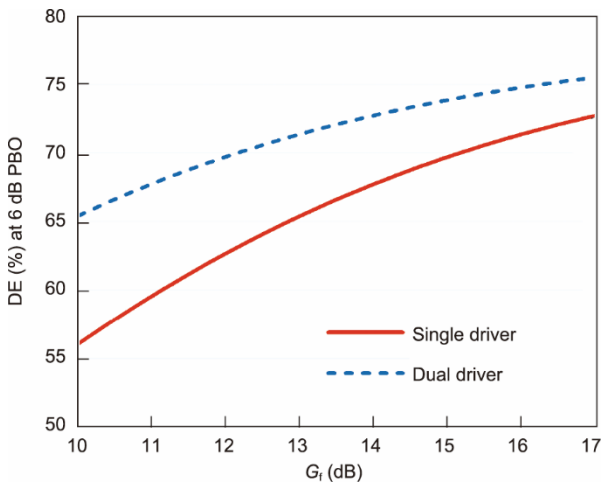

图6. 单驱动结构和双驱动结构的6 dB回退效率。G_f：末级增益。

3. 电路设计

3.1. GaN晶体管

在电路设计初期，可根据目标输出功率优化晶体管的栅极宽度。DPA的主放大器和辅放大器应设计为具有100 Ω的最佳负载阻抗，并在合路点后应用后匹配网络时采用简单电感电容（LC）网络，从而将DPA的主放大器和辅放大器设计为具有100 Ω的最佳负载阻抗。当两个放大器组合在一起时，它们可以直接连接50 Ω负载，而无需匹配网络。由于寄生电容与晶体管栅极宽度有关，因此在优化栅极宽度时，还必须在随后的匹配网络设计中考虑谐振电感的吸收情况。

在DPA的最后阶段，采用了两个栅宽比为4∶5的GaN晶体管来实现非对称Doherty电路，以提高回退效率，满足5G通信中的高PAPR要求。两个分立的GaN晶体管不仅能提高主电路和辅电路之间的隔离度，还能使后续封装设计更加灵活。GaN晶体管之间的距离越大，必须通过基板传递的热量就越快、越分散。根据功率水平需求，DPA主晶体管和辅晶体管的栅极宽度分别为2 × 10 × 200 μm和2 × 10 × 250 μm，驱动级晶体管的栅极宽度为8 × 200 μm。2 × 10 × 200 μm、2 × 10 × 250 μm和8 × 200 μm晶体管的最佳负载阻抗分别为20 Ω、14 Ω和66 Ω。

3.2. 最终DPA的匹配网络

匹配网络的设计包括输入和输出网络。DPA的低Q输出匹配网络由三根$\lambda/4$传输线组成。为了便于分析，我们首先讨论了集总参数电路的实现方法。为了降低损耗，所提PA匹配网络中的所有电感都采用传输线实现。

可以用高通或低通集总参数π型网络代替$\lambda/4$传输线，如图7所示。π型网络的参数可表示如下：

$$\begin{cases} L_T = Z_T/(2\pi f_0) \\ C_T = 1/(2\pi f_0 Z_T) \end{cases} \tag{12}$$

式中，Z_T是特性阻抗，f_0代表中心频率，C_T是π型网络电容，L_T是π型网络电感。高通网络中的并联电感可用于提供电压，串联电容可用于隔离直流电流。但是，高通网络无法吸收晶体管的输出电容，从而限制了DPA的工作带宽。对于低通网络而言，并联电容可以吸收晶体管的寄生电容，因此在实际设计中具有较好的带宽性能，但低通网络无法直接提供漏极电压和隔离直流电流，因此需要在主放大器的输出网络中另外采用偏置电路。根据等式（12），C_T会随着频率的增加而逐渐减小，晶体管的输出寄生电容（C_{out}）将超过C_T。因此，需要引入一个额外的并联电感来中和C_{out}，如图8（a）所示。图8（a）中的电感L_p可推导如下：

$$L_p = \frac{1}{(2\pi f_0)^2 (C_{out} - C_T)} \tag{13}$$

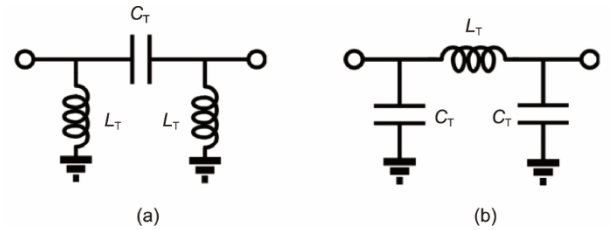

图7. 集总参数λ/4 传输线。（a）高通结构；（b）低通结构。C_T：π网络的电容；L_T：π网络的电感。

但是，由于C_{out}–C_T较小，L_p会很大，在实际电路中很难实现。为解决这一问题，可将图8（a）中的C_T替换为$L_p//C_{out}$，如图8（b）所示；然后将图8（b）中的π型电感网络转换为T型电感网络，如图8（c）所示。T型网络中的电感可推导如下：

$$\begin{cases} L_{T1}=L_T/(2+L_T/L_P) \\ L_{T2}=L_P/(2+L_T/L_P) \end{cases} \tag{14}$$

根据等式（12），T型网络的电感值减半。并联电感L_{T2}可用于漏极电压供电，但仍需要额外的隔离电容。对主PA的T型输出网络进行了仿真，结果如图9（a）所示。辅PA的仿真结果如图9（b）所示。仿真结果表明，在4.3~5.5 GHz范围内，所提出的输出网络的S_{11}优于−10 dB，损耗小于0.9 dB。

如图10（a）所示，辅放大器后的两条λ/4 传输线可采用低通集总结构，在中心频率处会产生−180°的相移。图10（b）显示了辅放大器后输出网络的实际电路。电容C_T组合了C_{T1}和C_{T2}，靠近晶体管的并联C_{T1}吸收了晶体管的输出寄生电容。另外还增加了一个并联电感L_p，用于中和C_{out}并同时提供直流电压。图9（b）显示了辅放大器输出网络的S参数仿真，所设计的匹配网络在宽带范围内具有出色的S_{11}性能和较低的插入损耗。

最终DPA的输入网络统一了功率分配器的并行设计。主放大器的输入匹配采用带通结构，而辅放大器的输入网络则采用两级低通LC结构。受晶体管中寄生反馈电容的影响，负载阻抗会对输入匹配产生影响。因此，在设计主放大器的输入匹配网络时，必须平衡回退区和饱和区的匹配效果。DPA的输入功率分配器采用了高通集总参数Wilkinson功率分配器。传统的集总参数Wilkinson功率分配器一般基于π型或T型网络，存在损耗大、带宽窄的问题。因此，本文所提设计采用了Wilkinson功分器的LC梯形结构，以降低损耗和增大带宽。

3.3. 驱动放大器的匹配网络

将DA的输出网络与最终DPA的功率分配器共同设计，以减少芯片面积。采用T型电感网络作为驱动级的输出匹配网络；T型电感网络可以吸收晶体管的输出电容，相当于宽频带内的传输线，损耗较低。在设计驱动级的输出匹配网络时，必须在饱和区最终DPA的输入阻抗的基础上设计负载阻抗，因为最终DPA的输入阻抗会随着输出功率的变化而变化。

DA的输入匹配网络采用带有3 Ω电阻的两级LC带通网络以提高稳定性。此外，驱动级在较深的AB类状态发生偏置，导致增益曲线发生扩展，这有效地补偿了最终DPA的增益压缩。因此，整体混合PA表现出更好的线性化。

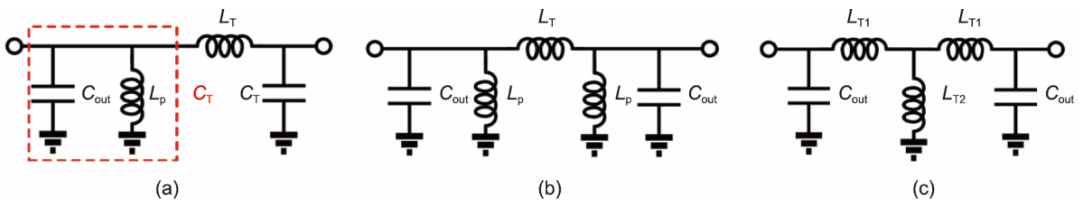

图8. 晶体管输出电容的吸收情况。（a）并联电感；（b）π型电感网络；（c）T型电感网络。C_{out}：晶体管的输出寄生电容；L_p、L_{T1}和L_{T2}：匹配网络的电感。

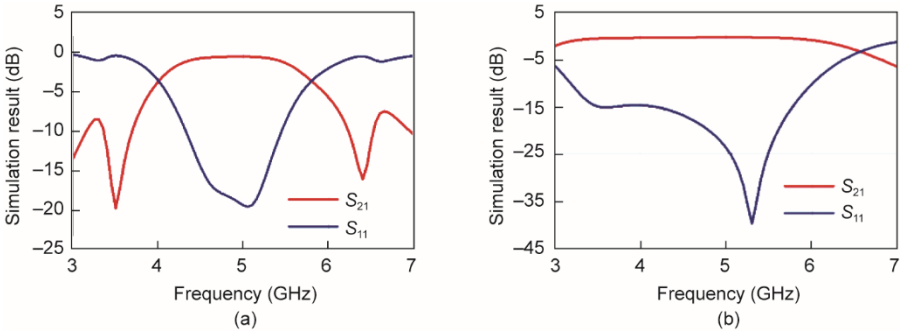

图9. 输出匹配网络的仿真结果。（a）主PA；（b）辅PA。

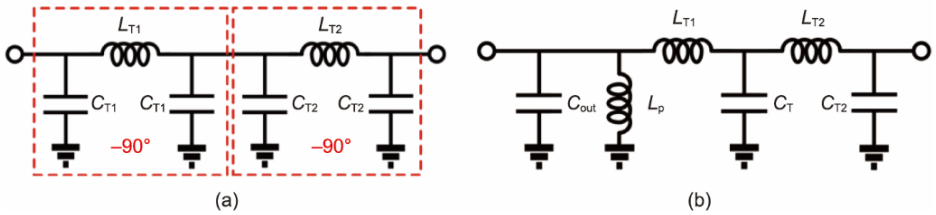

图10. 辅放大器的集总参数输出网络。（a）低通集总结构；（b）实际电路。C_{T1}和C_{T2}：输出网络的电容。

4. 封装设计

在混合集成中，将晶体管的GaN芯片和无源匹配网络的IPD芯片放置在一块基板上，并用接合线连接。接合线的设计不仅要考虑晶体管的电流容限，还要考虑在不同频率范围下接合线本身的寄生参数对无源匹配网络的影响。接合线的两端分别与GaN晶体管的焊盘、IPD芯片的焊盘或基板的引脚相连。由芯片不同厚度造成的键合线两端高度差和键合线曲率变化会产生不同的寄生参数值。因此，在设计无源匹配网络时必须考虑接合线的设计。在设计GaN晶体管时，必须在漏端子处对晶体管的输出电容进行中和。由接合线提供的等效电感可与晶体管固有输出电容形成LC网络，从而实现电容中和。在接合过程中，很难确保每根接合线的形状完全一致。为解决这一问题，将多条接合线并联可减少不同接合线之间的差异对等效电感的影响。经过电磁仿真后，用于连接晶体管的接合线可置于无源匹配网络的边缘，以实现阻抗匹配。射频输入和射频输出端口均采用三根接合线，其等效特性阻抗接近50 Ω，对阻抗匹配的影响很小。

图11显示了单驱动Doherty放大器的布局，它由六个芯片组成，包括驱动器输入匹配电路、驱动器晶体管、驱动器输出匹配电路、最终DPA的输入和输出网络以及主放大器和辅放大器晶体管。采用美国Keysight公司的ADS软件对所实施的DPA的完整电路进行了电磁仿真。整个模块采用10 mm × 6 mm LGA封装。如图12所示，将全部六个芯片放置在四层基板上，并用导电银胶固定。由于GaN芯片的散热性非常高，因此在每个GaN芯片下方的基板中嵌铜，以防止晶体管过热。

在高频仿真器结构（HFSS）中仿真的封装三维结构如图13（a）所示。图13（b）显示了接合线在射频输入和射频输出端口的频率响应情况。S_{11}的仿真结果在4.4~5.0 GHz范围内优于−24 dB。

5. 测量结果

所提出的混合集成DPA如图14所示。测试条件如下：漏极电压为28 V；主放大器和驱动级的静态电流分别为

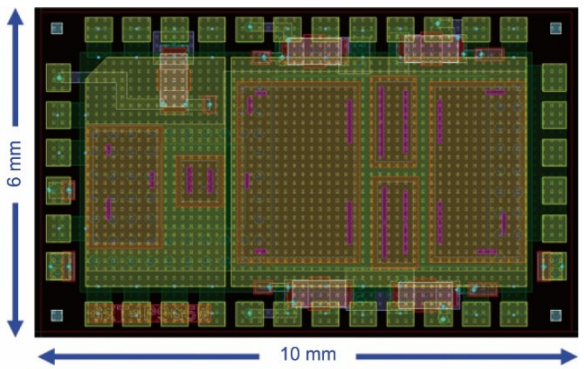

图12. 基板布局。

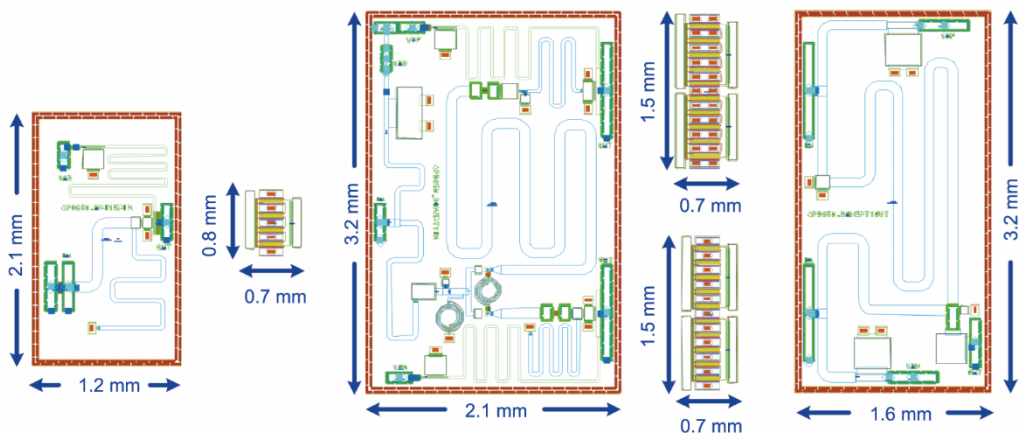

图11. 所提出的混合集成DPA的布局。

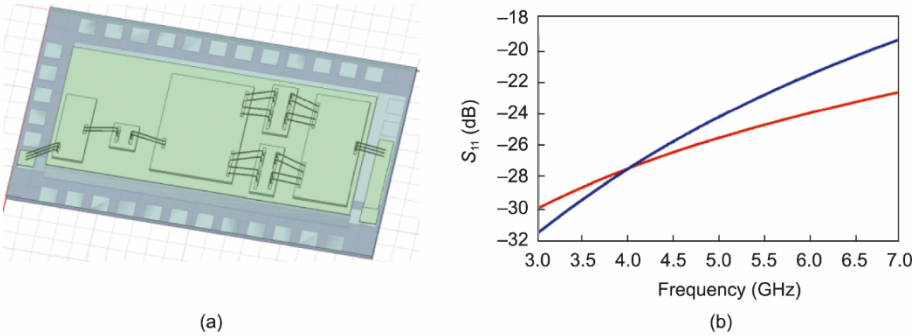

图13. （a）整个封装的HFSS仿真模型；（b）射频输入端口（红线）和射频输出端口（蓝线）接合线的仿真结果。

72 mA和30 mA；辅放大器的栅极电压为3.4 V。测量的S参数如图15（a）所示。测得的小信号增益高于30 dB，S_{11}在4.8~5.0 GHz范围内优于−7 dB。

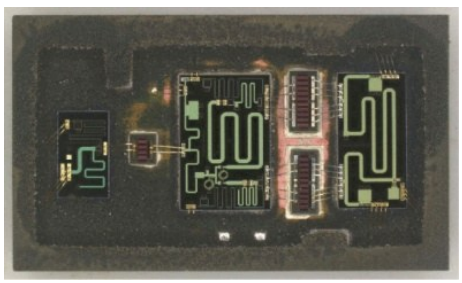

图14. 混合集成DPA的实物照片。

图15（b）显示了在占空比为10%的脉冲信号下的大信号测量结果，脉冲信号为20 μs/200 μs。可以看出，4.4~5.0 GHz范围内的饱和功率优于45 dBm，从37 dBm到饱和功率的增益压缩小于4 dB。此外，不同频率的增益特性是一致的，这降低了宽带DPD校正的难度。

在图16（a）所示的调制测量中，使用矢量信号源（SMW200A，德国Rohde & Schwarz公司）生成了具有8.5 dB PAPR的100 MHz LTE信号，并使用Rohde & Schwarz公司的FSW43设备对输出信号进行了解调。相邻信道功率比（ACPR）和功率附加效率（PAE）结果见图16（b）。平均PAE为36.3%，4.5~5.0 GHz范围内的PAPR为8.5 dB。为进一步证明所提PA的线性度，图16（b）还显示了采用广义记忆多项式DPD算法的ACPR。在工作频段内，DPD后的ACPR优于−50 dBc。图16（c）显示了4.9 GHz的输出功率谱密度（PSD）。有DPD和无DPD时的ACPR分别为−31.47/−30.07 dBc和−52.15/−51.88 dBc。根据这些结果，所提DPA呈现出令人满意的线性度。

表1显示了所提DPA的性能，并与其他GaN DPA进行了比较。从表中可以看出，所提DPA在功率回退（PBO）时实现了最大的饱和输出功率和增益。在本研究之前，参考文献[18]中的MMIC实现了较小芯片面积（2.5 mm × 1.6 mm）。不过由于MCM技术中只有有源器件芯片是采用GaN工艺制造的，因此这种小型化的GaN芯片面积可以使得成本大幅降低。所提出的DPA在带宽和应用电路尺寸方面具备优势，非常适合5G大规模MIMO基站和其他宽带无线通信系统。

6. 结论

本研究设计了一种基于MCM的混合集成宽带DPA，用于5G大规模MIMO应用。所提DPA的有源器件采用GaN工艺制造，而所有无源电路均采用高介电系数和低损耗的GaAs IPD工艺制造。为了增大带宽，本研究提出了一种带有低Q输出网络的反向DPA结构，并采用了单驱动结构，以实现更高增益及更小的芯片面积。实测结果表明，工作带宽超过500 MHz，4.4~5.0 GHz频率范围内的

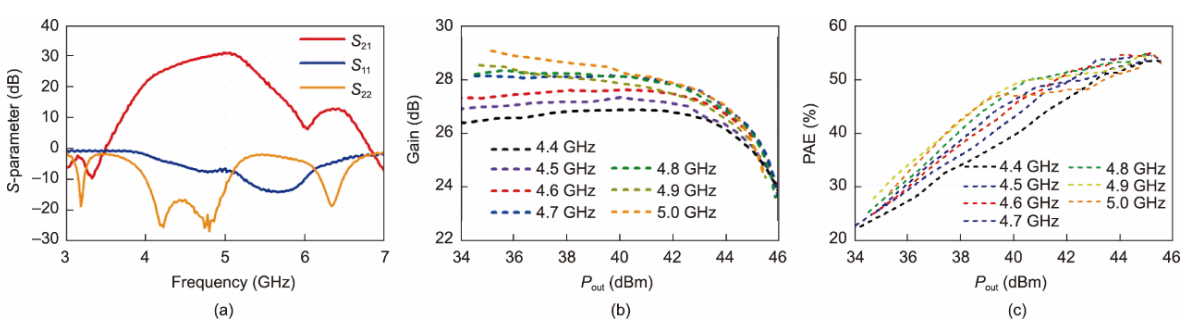

图15. （a）测得的S参数；（b）大信号测量下的增益与P_{out}对比情况；（c）大信号测量功率附加效率（PAE）与P_{out}对比情况。P_{out}：输出功率。

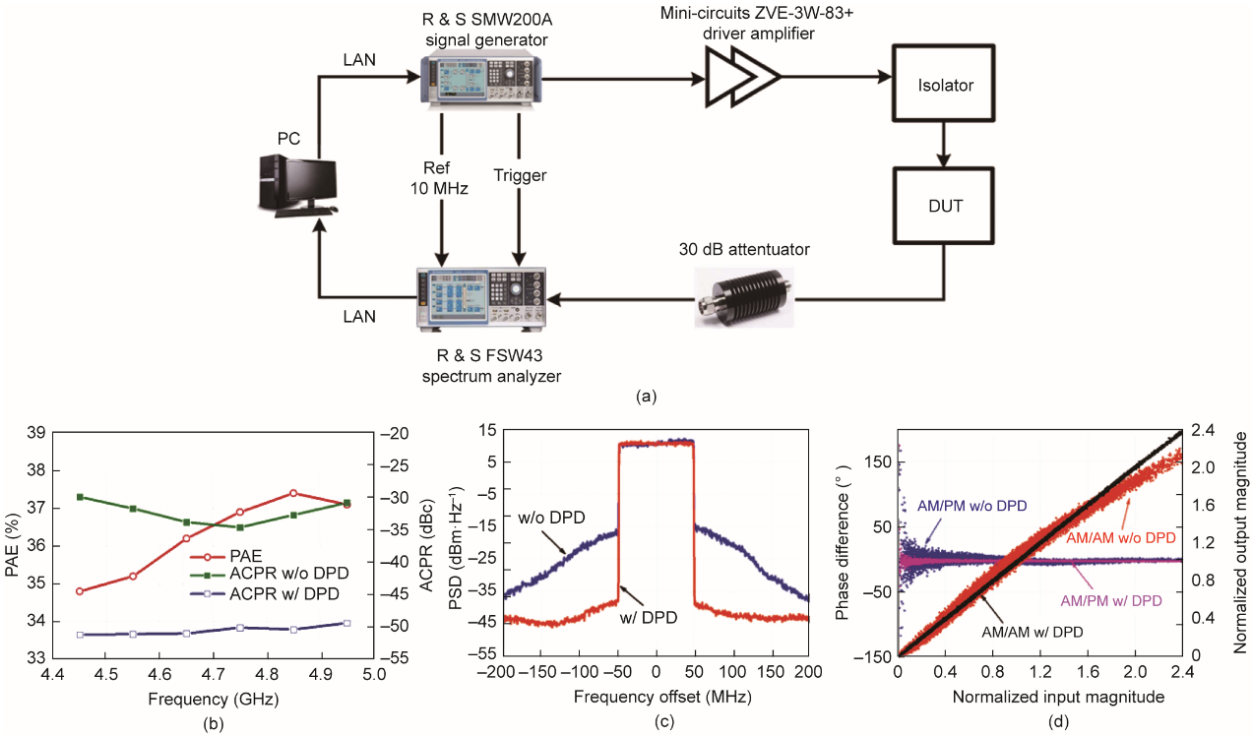

图16. （a）设置；（b）调制测量结果；（c）输出功率谱密度。（d）AM/AM及AM/PM特性。PC：个人电脑；LAN：局域网；DUT：被测器件；Ref：参考信号；ACPR：相邻信道功率比；PSD：功率谱密度；w/：有；w/o：无；AM：幅度调制；PM：相位调制；R & S：Rohde & Schwarz公司；PAE：功率附加效率。

表1 与其他GaN DPA的比较

Year	Frequency (GHz)	P_{sat} (dBm)	DE at saturation (%)	DE at PBO (%)	PBO (dB)	Gain at PBO (dB)	Chip area of GaN (mm × mm)	Technology
2015 [5]	1.8	42.8	N/A	57.2	6.0	18.8	3.09 × 2.23	MMIC
2015 [24]	2.1–2.7	40.0–4.01	N/A	48.0–62.0	7.6	12.0–14.0	2.65 × 1.90[a]	MMIC
2018 [18]	5.9	38.7	47.3	49.5	6.0	14.4	2.49 × 1.56	MMIC
2018 [18]	5.1–5.9	36.0–38.7	N/A	32.0–5.01	6.0	14.4–17.3	2.50 × 1.60	MMIC
2019 [25]	4.5–5.2	40.4–41.2	55.0–63.0	47.0–50.0	6.0	8.0–11.0	2.20 × 2.10	MMIC
2019 [26]	4.5–6.0	35.0–36.0	43.0–49.0	24.0–32.0	6.0	7.6–11.6	3.00 × 2.80	MMIC
2021 [27]	4.6–5.2	41.8–42.1	63.8–68.4	53.3–57.4	6.0	12.8	2.50 × 2.45	MMIC
2022 [28]	4.1–5.6	38.4–39.5	51.7–60.8	38.4–39.5	6.0	8.3–11.2	2.60 × 3.00	MMIC
This work	4.5–5.0	45.7–46.3	56.0–60.0	35.0–37.5	8.5	27.0–28.2	3.80 × 0.70[b]	MCM

P_{sat}: the saturated output power; PBO: power back-off.
[a] The partial output network is off-chip.
[b] Two GaN chips of 1.5 mm × 0.7 mm and one GaN chip of 0.8 mm × 0.7 mm were used in this work.

饱和功率优于45 dBm。调制测量结果表明，在4.5~5.0 GHz频率范围内，平均PAE为36.3%，PAPR为8.5 dB；应用DPD后，ACPR优于−50 dBc。

致谢

本研究得到国家重点研发计划（2021YFA0716601）和国家杰出青年科学基金（62225111）的资助。

Compliance with ethics guidelines

Fei Huang, Guansheng Lv, Huibo Wu, Wenhua Chen, and Zhenghe Feng declare that they have no conflict of interest or financial conflicts to disclose.

References

[1] Gupta A, Jha RK. A survey of 5G network: architecture and emerging

technologies. IEEE Access 2015;3:1206–32.
[2] Kim J, Moon J, Woo YY, Hong S, Kim I, Kim J, et al. Analysis of a fully matched saturated Doherty amplifier with excellent efficiency. IEEE Trans Microw Theory Tech 2008;56(2):328–38.
[3] Chen W, Zhang S, Liu Y, Liu Y, Ghannouchi F. A concurrent dual-band uneven Doherty power amplifier with frequency-dependent input power division. IEEE Trans Circuits Syst I 2014;61(2):552–61.
[4] Gustafsson D, Cahuana JC, Kuylenstierna D, Angelov I, Fager C. A GaN MMIC modified Doherty PA with large bandwidth and reconfigurable efficiency. IEEE Trans Microw Theory Tech 2014;62(12):3006–16.
[5] Park Y, Lee J, Jee S, Kim S, Kim CH, Park B, et al. GaN HEMT MMIC Doherty power amplifier with high gain and high PAE. IEEE Microw Wirel Compon Lett 2015;25(3):187–9.
[6] Zhou X, Zheng SY, Chan WS, Chen S, Ho D. Broadband efficiency-enhancedmutually coupled harmonic post matching Doherty power amplifier. IEEE Trans Circuits Syst I 2017;64(7):1758–71.
[7] Kimball DF, Jeong J, Hsia C, Draxler P, Lanfranco S, Nagy W, et al. High-efficiency envelope-tracking W-CDMA base-station amplifier using GaN HFETs. IEEE Trans Microw Theory Tech 2006;54(11):3848–56.
[8] Raab F. Efficiency of outphasing RF power-amplifier systems. IEEE Trans Commun 1985;33(10):1094–9.
[9] Camarchia V, Fang J, Rubio JM, Pirola M, Quaglia R. 7 GHz MMIC GaN Doherty power amplifier with 47% efficiency at 7 dB output back-off. IEEE Microw Wirel Compon Lett 2013;23(1):34–6.
[10] Giofrè R, Piazzon L, Colantonio P, Giannini F, Camarchia V, Quaglia R, et al. GaN-MMIC Doherty power amplifier with integrated reconfigurable input network for microwave backhaul applications. In: Proceedings of IEEE MTT-S International Microwave Symposium; 2015 May 17–22; Phoenix, AZ, USA; 2015.
[11] Ayad M, Byk E, Neveux G, Camiade M, Barataud D. Single and dual input packaged 5.5 – 6.5 GHz, 20 W, quasi-MMIC GaN-HEMT Doherty power amplifier. In: Proceedings of IEEE MTT-S International Microwave Symposium; 2017 Jun 4–9; Honololu, HI, USA; 2017.
[12] Quaglia R, Camarchia V, Rubio JJM, Pirola M, Ghione G. A 4-W Doherty power amplifier in GaN MMIC technology for 15- GHz applications. IEEE Microw Wirel Compon Lett 2017;27(4):365–7.
[13] Lee J, Lee DH, Hong S. A Doherty power amplifier with a GaN MMIC for femtocell base stations. IEEE Microw Wirel Compon Lett 2014;24(3):194–6.
[14] Jee S, Park Y, Cho Y, Lee J, Kim S, Kim B. A highly linear dual-band Doherty power amplifier for femto-cell base stations. In: Proceedings of IEEE MTT-S International Microwave Symposium; 2015 May 17 – 22; Phoenix, AZ, USA; 2015.
[15] Kim CH, Park B. Fully-integrated two-stage GaN MMIC Doherty power amplifier for LTE small cells. IEEE Microw Wirel Compon Lett 2016;26(11): 918–20.
[16] Maroldt S, Ercoli M. 3.5-GHz ultra-compact GaN class-E integrated Doherty MMIC PA for 5G massive-MIMO base station applications. In: Proceedings of the 12th European Microwave Integrated Circuits Conference; 2017 Oct 8 – 10; Nuremberg, Germany; 2017.
[17] Ishikawa R, Takayama Y, Honjo K. Fully integrated asymmetric Doherty amplifier based on two-power-level impedance optimization. In: Proceedings of the 13th European Microwave Integrated Circuits Conference; 2018 Sep 23–25; Madrid, Spain; 2018.
[18] Li SH, Hsu SSH, Zhang J, Huang KC. Design of a compact GaN MMIC Doherty power amplifier and system level analysis with X-parameters for 5G communications. IEEE Trans Microw Theory Tech 2018;66(12):5676–84.
[19] Qiang T, Wang C, Kim NY. A compact high-reliability high-performance 900-MHz WPD using GaAs-IPD technology. IEEE Microw Wirel Compon Lett 2016;26(7):498–500.
[20] Jeon H, Kobayashi KW. Comparison of 5-GHz quadrature couplers using GaAs and silicon-based IPD technologies. IEEE Microw Wirel Compon Lett 2018; 28(9):756–8.
[21] Kim CH, Jee S, Jo GD, Lee K, Kim B. A 2.14-GHz GaN MMIC Doherty power amplifier for small-cell base stations. IEEE Microw Wirel Compon Lett 2014; 24(4):263–5.
[22] Nguyen DP, Pham BL, Pham AV. A compact Ka-band integrated Doherty amplifier with reconfigurable input network. IEEE Trans Microw Theory Tech 2019;67(1):205–15.
[23] Kang D, Kim D, Moon J, Kim B. Broadband HBT Doherty power amplifiers for handset applications. IEEE Trans Microw Theory Tech 2010;58(12):4031–9.
[24] Jee S, Lee J, Son J, Kim S, Kim CH, Moon J, et al. Asymmetric broadband Doherty power amplifier using GaN MMIC for femto-cell base-station. IEEE Trans Microw Theory Tech 2015;63(9):2802–10.
[25] Lv G, Chen W, Liu X, Ghannouchi FM, Feng Z. A fully integrated C-band GaN MMIC Doherty power amplifier with high efficiency and compact size for 5G application. IEEE Access 2019;7:71665–74.
[26] Nikandish G, Staszewski RB, Zhu A. Bandwidth enhancement of GaN MMIC Doherty power amplifiers using broadband transformer-based load modulation network. IEEE Access 2019;7:119844–55.
[27] Liu RJ, Zhu XW, Xia J, Xia D, Zhang L, Yu C. Design methodology using single resonate block for harmonic impedance matching in GaN MMIC Doherty amplifier. IEEE Microw Wirel Compon Lett 2021;31(4):397–400.
[28] Pang J, Chu C, Wu J, Dai Z, Li M, He S, et al. Broadband GaN MMIC Doherty power amplifier using continuous-mode combining for 5G sub-6 GHz applications. IEEE J Solid State Circuits 2022;57(7): 2143–54.